

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10177373
PUBLICATION DATE : 30-06-98

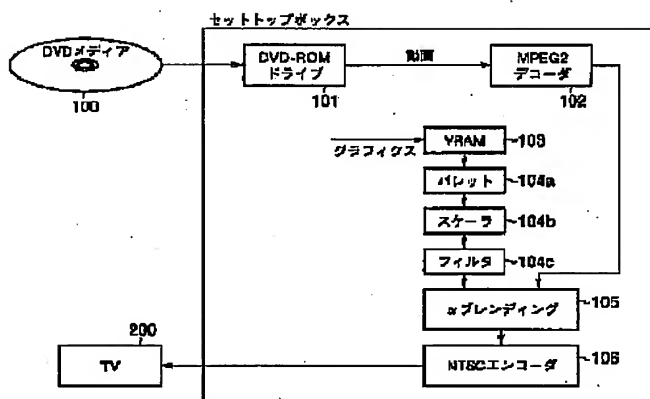
APPLICATION DATE : 18-12-96
APPLICATION NUMBER : 08338545

APPLICANT : TOSHIBA CORP;

INVENTOR : FUJIMOTO TERUHISA;

INT.CL. : G09G 5/00 G09G 5/00 G09G 5/00
G09G 5/18 G09G 5/36 H04N 7/01

TITLE : PICTURE DISPLAY CONTROL DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To make it possible to display computer graphics of non-interlace display on a home TV in a high quality state.

SOLUTION: Graphics data for plural lines including lines to be displayed are time-dividedly and alternately read out from a video memory 103, sent to a horizontal scaler 104b and successively applied to horizontal scaling processing. Horizontally scaled data on the same pixel position are vertically filtered by a vertical filter 104C in each data unit of plural lines. Since the horizontal scaling processing and the vertical filtering processing are executed like a pipeline, scaling processing and vertical filtering processing can be efficiently applied to graphics data read out from a video memory without using an off screen area in the memory 103.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177373

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl. ⁶	識別記号	F I		
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00	5 1 0 S	
	5 2 0		5 2 0 V	
	5 5 5		5 5 5 A	
5/18		5/18		
5/36	5 2 0	5/36	5 2 0 C	
審査請求 未請求 請求項の数13 O L (全 15 頁) 最終頁に続く				

(21) 出願番号 特願平8-338545

(22) 出願日 平成8年(1996)12月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 藤本 曜久

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

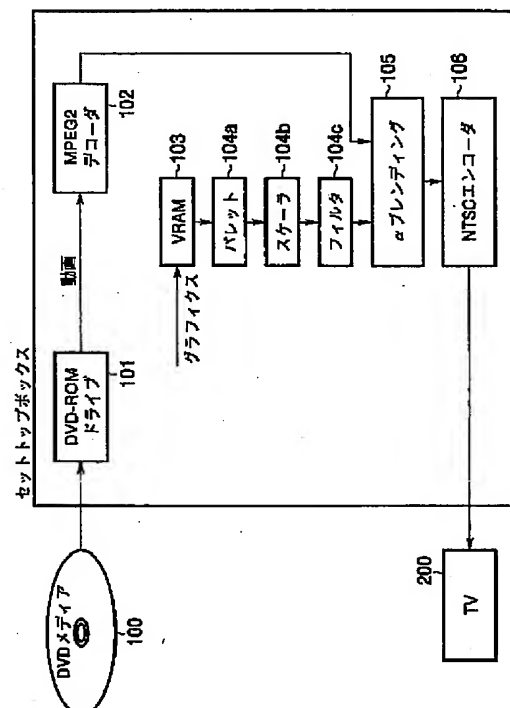
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 画像表示制御装置

(57) 【要約】

【課題】ノンインターレース表示のコンピュータグラフィックスを家庭用TVに高品質表示する。

【解決手段】表示対象ラインを含む複数ライン分のグラフィックスデータはビデオメモリ103から時分割的に交互に読み出されて、水平スケーラ104bに送られ、そこで順次水平スケーリング処理が行われる。そして水平スケーリングされた同一ピクセル位置のデータが複数ライン分揃う度にそれらデータ単位で垂直フィルタ104cによる垂直フィルタリング処理が行われる。このように、水平スケーリング処理と垂直フィルタリング処理とをパイプライン的に実行することにより、ビデオメモリ103から読み出されるグラフィックスデータに対してビデオメモリ103のオフスクリーンエリアを用いることなくスケーリング処理および垂直フィルタリング処理を効率よく施せるようになる。



【特許請求の範囲】

【請求項1】 ノンインターレース走査用のグラフィクスデータをインターレース走査の表示装置に表示する画像表示制御装置において、

前記グラフィクスデータが格納されるビデオメモリから、表示対象ラインとこの表示対象ラインに対して垂直方向に連続する他の表示ラインとを含む複数表示ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出すグラフィクスデータ読み出し手段と、このグラフィクスデータ読み出し手段によって時分割的に交互に読み出される前記複数表示ラインのデータに対して、ライン毎にそれぞれ水平フィルタリング処理およびピクセルアスペクト比変換のための水平スケーリング処理を行う水平フィルタおよびスケーリング手段と、この水平フィルタおよびスケーリング手段によって前記複数表示ラインそれぞれの対応するピクセル位置のデータが水平フィルタリングおよびスケーリングされる度、それらデータ単位で前記複数表示ライン間の垂直フィルタリング処理を順次実行して、前記複数表示ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段とを具備し、前記水平方向のフィルタリングおよびスケーリング処理と前記垂直方向のフィルタリング処理とをパイプライン方式で実行できるようにしたことを特徴とする画像表示制御装置。

【請求項2】 前記グラフィクスデータは前記ビデオメモリにインデックスカラーモードのデータとして格納されており、

前記ビデオメモリから時分割的に交互に読み出される前記複数表示ライン分のインデックスカラーモードのデータを順次色変換して出力する色変換テーブルをさらに具備し、

前記水平フィルタおよびスケーリング手段は、前記色変換テーブルから出力されるカラーデータに対して前記水平フィルタリングおよびスケーリング処理を行うことを特徴とする請求項1記載の画像表示制御装置。

【請求項3】 前記表示対象ラインの1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータを保持するためのラインバッファをさらに具備し、

前記グラフィクスデータ読み出し手段は、

前記表示対象ラインとそれに後続する次ラインの2ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出し、

前記水平フィルタおよびスケーリング手段は、前記表示対象ラインの水平フィルタリング処理およびスケーリング処理を行う第1の水平フィルタおよびスケーリング処理手段と、この第1の水平フィルタおよびスケーリング処理手段の処理に並行して、前記次ラインの水平フィルタおよびスケーリング処理を行う第2の水平フィルタお

よびスケーリング処理手段とを含み、

前記垂直フィルタ手段は、水平フィルタリングおよびスケーリングされた表示対象ラインおよび次ラインの2ライン分のグラフィクスデータと前記ラインバッファに格納されている1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータとを用いて、前記垂直フィルタリング処理を実行し、前記水平フィルタリングおよびスケーリングされた次ラインのグラフィクスデータは、次の表示対象ラインに対応する垂直フィルタリング処理において前記1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータとして使用されるように、前記ラインバッファに格納されることを特徴とする請求項1記載の画像表示制御装置。

【請求項4】 前記グラフィクスデータ読み出し手段は、

前記表示対象ラインとその1つ前のラインと次ラインとの3ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出し、

前記水平フィルタおよびスケーリング手段は、前記表示対象ラインの水平フィルタリングおよびスケーリング処理を行う第1の水平フィルタおよびスケーリング処理手段と、この第1の水平フィルタおよびスケーリング処理手段の処理に並行して、前記1つ前のラインおよび次ラインそれぞれの水平フィルタリングおよびスケーリング処理を行う第2および第3の水平フィルタおよびスケーリング処理手段とを含み、

前記垂直フィルタ手段は、水平フィルタリングおよびスケーリングされた表示対象ライン、1つ前のラインおよび次ラインの3ライン分のグラフィクスデータを用いて、前記垂直フィルタリング処理を実行することを特徴とする請求項1記載の画像表示制御装置。

【請求項5】 ノンインターレース走査用のグラフィクスデータとインターレース走査用の動画データとを合成してインターレース走査の表示装置に表示する画像表示制御装置において、

前記グラフィクスデータが格納されるビデオメモリから、表示対象ラインとこの表示対象ラインに対して垂直方向に連続する他の表示ラインとを含む複数表示ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出すグラフィクスデータ読み出し手段と、

このグラフィクスデータ読み出し手段によって時分割的に交互に読み出される前記複数表示ラインのデータに対して、ライン毎に水平フィルタリングおよびピクセルアスペクト比変換のための水平スケーリング処理を行う水平フィルタおよびスケーリング手段と、

この水平フィルタおよびスケーリング手段によって前記複数表示ラインそれぞれの対応するピクセル位置のデータが水平フィルタリングおよびスケーリングされる度、それら水平フィルタリングおよびスケーリングされた複

数表示ラインのデータ単位で垂直フィルタリング処理を順次実行して、前記複数表示ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段と、

この垂直フィルタ手段による垂直フィルタリング処理により得られたグラフィクスデータと前記インターレース走査用の動画データとをピクセル単位で合成するグラフィクス・動画合成手段とを具備することを特徴とする画像表示制御装置。

【請求項6】 前記グラフィクスデータは前記ビデオメモリにインデックスカラーモードのデータとして格納されており、

前記ビデオメモリから時分割的に交互に読み出される前記複数表示ライン分のインデックスカラーモードのデータを順次色変換して前記動画データと同じデータ形式のカラーデータを出力する色変換テーブルをさらに具備し、

前記水平フィルタおよびスケーリング手段は、前記色変換テーブルから出力されるカラーデータに対して前記水平フィルタリングおよび水平スケーリング処理を行うことを特徴とする請求項5記載の画像表示制御装置。

【請求項7】 前記色変換テーブルには、前記インデックスカラーモードのデータ値によって指定される複数のカラーデータ記憶領域が設けられ、各カラーデータ記憶領域には、カラーデータ、および前記グラフィクスデータと前記動画データとのピクセル毎の合成比率を指定するパラメタ値が設定されていることを特徴とする請求項6記載の画像表示制御装置。

【請求項8】 前記表示対象ラインの1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータを保持するためのラインバッファをさらに具備し、

前記グラフィクスデータ読み出し手段は、

前記表示対象ラインとそれに後続する次ラインの2ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出し、

前記水平フィルタおよびスケーリング手段は、前記表示対象ラインの水平フィルタリングおよびスケーリング処理を行う第1の水平フィルタおよびスケーリング処理手段と、この第1の水平フィルタおよびスケーリング処理手段の処理に並行して、前記次ラインの水平フィルタリングおよびスケーリング処理を行う第2の水平フィルタおよびスケーリング処理手段とを含み、

前記垂直フィルタ手段は、水平フィルタリングおよびスケーリングされた表示対象ラインおよび次ラインの2ライン分のグラフィクスデータと前記ラインバッファに格納されている1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータとを用いて、

前記垂直フィルタリング処理を実行し、

前記水平フィルタリングおよびスケーリングされた次ラ

インのグラフィクスデータは、次の表示対象ラインに対応する垂直フィルタリング処理において前記1ライン前の水平フィルタリングおよびスケーリング処理されたグラフィクスデータとして使用されるように、前記ラインバッファに格納されることを特徴とする請求項5記載の画像表示制御装置。

【請求項9】 前記グラフィクスデータ読み出し手段は、

前記表示対象ラインとその1つ前のラインと次ラインとの3ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出し、

前記水平フィルタおよびスケーリング手段は、前記表示対象ラインの水平フィルタリングおよびスケーリング処理を行う第1の水平フィルタおよびスケーリング処理手段と、この第1の水平フィルタおよびスケーリング処理手段の処理に並行して、前記1つ前のラインおよび次ラインそれぞれの水平フィルタリングおよびスケーリング処理を行う第2および第3の水平フィルタおよびスケーリング処理手段とを含み、

前記垂直フィルタ手段は、水平フィルタリングおよびスケーリングされた表示対象ライン、1つ前のラインおよび次ラインの3ライン分のグラフィクスデータを用いて、前記垂直フィルタリング処理を実行することを特徴とする請求項5記載の画像表示制御装置。

【請求項10】 ノンインターレース走査用のグラフィクスデータとインターレース走査用の動画データとを合成してインターレース走査の表示装置に表示する画像表示制御装置において、

インデックスカラーモードのグラフィクスデータが格納されるビデオメモリと、

このビデオメモリから、表示対象ラインとその1つ前のラインと次ラインとの3ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出すグラフィクスデータ読み出し手段と、

前記ビデオメモリから時分割的に交互に読み出される前記3ライン分のインデックスカラーモードのデータを順次色変換して前記動画データと同じYCrCbフォーマットのカラーデータを出力する色変換テーブルと、

この色変換テーブルから出力される前記1つ前のラインのYCrCbフォーマットのカラーデータに対して水平フィルタリングおよびピクセルアスペクト比変換のための水平スケーリング処理を行う第1の水平フィルタおよびスケーリング手段と、

前記色変換テーブルから出力される前記表示対象ラインのYCrCbフォーマットのカラーデータに対して水平フィルタリングおよびピクセルアスペクト比変換のための水平スケーリング処理を行う第2の水平スケーリング手段と、

前記色変換テーブルから出力される前記次ラインのYCrCbフォーマットのカラーデータに対して水平フィル

タリングおよびピクセルアスペクト比変換のための水平スケーリング処理を行う第3の水平スケーリング手段とこれら第1、第2および第3の水平スケーリング手段によって水平方向にフィルタリングおよびスケーリングされた前記3ラインそれぞれの対応するピクセル位置のYCrCbフォーマットのカラーデータ毎に垂直フィルタリング処理を順次実行して、前記3ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段と、

この垂直フィルタ手段から出力されるグラフィクスデータと前記インターレース走査用の動画データとをピクセル単位で合成するグラフィクス・動画合成手段とを具備することを特徴とする画像表示制御装置。

【請求項11】 ノンインターレース走査用のグラフィクスデータとインターレース走査用の動画データとを合成してインターレース走査の表示装置に表示する画像表示制御装置において、

インデックスカラーモードのグラフィクスデータが格納されるビデオメモリと、

このビデオメモリから時分割的に交互に読み出される複数ライン分のインデックスカラーモードのデータを順次色変換して前記動画データと同じYCrCbフォーマットのカラーデータを出力する色変換テーブルと、

この色変換テーブルで色変換された前記複数ラインそれぞれの対応するピクセル位置のYCrCbフォーマットのカラーデータ毎に垂直フィルタリング処理を順次実行して、前記複数ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段と、

この垂直フィルタ手段から出力されるグラフィクスデータと前記インターレース走査用の動画データとをピクセル単位で合成するグラフィクス・動画合成手段とを具備することを特徴とする画像表示制御装置。

【請求項12】 フィルタ特性が変更可能に構成され、ビデオメモリに格納されたグラフィクスデータに対してフィルタリング処理を施すフィルタリング手段と、

このフィルタリング手段によってフィルタリングされたグラフィクスデータをTV用の映像信号に変換してTVに表示する映像信号変換手段と、

前記フィルタリング手段のフィルタリング特性を変更するための制御情報が設定されるレジスタと、

前記グラフィクスデータを生成するアプリケーションプログラムからのフィルタ特性変更指示に応答して、前記レジスタの制御情報を書き換える手段とを具備し、

表示対象のコンテンツに合わせて動的にフィルタ特性を変更できるように構成されていることを特徴とする画像表示制御装置。

【請求項13】 ビデオメモリに格納されたグラフィクスデータに対してフィルタリング処理を施すフィルタリング手段と、このフィルタリング手段によってフィルタ

リングされたグラフィクスデータをTV用の映像信号に変換してTVに表示する映像信号変換手段とを有する画像表示制御装置において、

前記フィルタリング手段を介さずに前記ビデオメモリのグラフィクスデータを前記映像信号変換手段に転送するためのダイレクトパスを具備することを特徴とする画像表示制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はグラフィクスデータと動画データとを合成してTVにインターレース表示する画像表示装置に関する。

【0002】

【従来の技術】近年、コンピュータ技術の発達に伴い、家庭用のTVと接続して使用可能なマルチメディア対応のデジタルビデオプレーヤやセットトップボックス等が種々開発されている。

【0003】この種のデジタルビデオプレーヤやセットトップボックスは、コンピュータグラフィックスの表示のみならず、CD (Compact Disk) やDVD (Digital Versatile Disk) にデジタル圧縮符号化されて蓄積された動画データを復号再生することができる。

【0004】DVDはMPEG2という動画像符号化を使って、CDと同じ大きさの光ディスクに、映画などの映像情報を高画質で記録できる新しいビデオディスク規格である。DVDの記録再生方法は、画質と、容量に対する記録時間の双方を確保する観点から、可変レート符号化の考えに基づいている。可変レート符号化データのデータ量は、元の画像の画質に依存し、動きの激しいシーンほどそのデータ量は増加する。このDVDに蓄積された動画データは家庭用TVと同じNTSC方式の映像信号を基に作られており、MPEG2デコーダによって復号再生された画像はインターレース走査の映像信号となる。

【0005】また、最近では、CPUの高速化やグラフィクスコントローラの改良により、3次元グラフィクスなどの高度なグラフィクス処理を、家庭用のデジタルビデオプレーヤやセットトップボックスにおいても実現できるようになっている。グラフィクスデータは画面を自在にスクロールできるなどユーザ操作に応じてインタラクティブに表示画像を変化させることができる。このため、グラフィクスとMPEG2の自然動画像とを融合させ、それらを合成表示することによってエンターテインメント性の高い新たな映像を実現することが望まれている。

【0006】

【発明が解決しようとする課題】しかし、グラフィクスと動画を単に合成してTVに表示しただけでは、満足のいく映像を得ることはできない。グラフィクスを品質良

くTVに表示するためには、次の2つを考慮する必要がある。

【0007】(1) ピクセルアスペクト比の違い
コンピュータのディスプレイモニタのピクセルアスペクト比は通常1対1であるが、TVのピクセルアスペクト比は1対1ではなく、横方向と縦方向の比率が異なっている。このため、コンピュータのディスプレイモニタでは円に見えていたものをそのまま、横方向に比べ縦方向の比率が大きいTV画面に表示すると、縦長の楕円に見えてしまうという問題が生じる。

【0008】(2) 信号帯域の違い
TVはインターレース表示であるのに対し、コンピュータのディスプレイモニタはノンインターレース表示である。ノンインターレース表示用のグラフィクスデータの輝度帯域および色帯域は、TVで定義されている映像信号のそれら輝度および色帯域よりも広い。このため、グラフィクスデータをTVにインターレース表示すると、フリッカと呼ばれるチラツキ現象が発生する。

【0009】(1) のピクセルアスペクト比の違いによる問題については、スケーラによってグラフィクスデータのアスペクト比を調整することによって解決可能である。また、(2) の信号帯域の違いによりフリッカの発生は、フィルタ回路によってグラフィクス画面における垂直方向に連続する幾つかの表示ラインに垂直フィルタリング処理を施し、ライン間の平均を実際の表示ラインとして使用することなどによって防止することができる。

【0010】ビデオメモリから読み出されるグラフィクスデータに対してこれらスケーリングおよび垂直フィルタリング処理を施す場合には、スケーリングされた複数ライン分のグラフィクスデータを垂直フィルタ用にバッファリングして保持しておく必要がある。このため、スケーラによってスケーリングされたグラフィクスデータをビデオメモリのオフスクリーンエリアに一旦セーブしておき、その後、そのスケーリング後のデータをビデオメモリから垂直フィルタ回路に再度読み出すといった処理が必要とされる。

【0011】しかし、このようにすると、これら回路によってビデオメモリが占有され、これによってCPUによるグラフィクスデータの書き換え速度が犠牲になるという問題が発生する。また、これを防止するために大きなバンド幅を持つ高価なビデオメモリを使用することは、低コストが要求される家庭用の機器用途としては不適當である。

【0012】この発明はこのような点に鑑みてなされたものであり、ビデオメモリから読み出されるグラフィクスデータに対してビデオメモリのオフスクリーンエリアを用いることなくスケーリング処理および垂直フィルタリング処理を効率よく施せるようにし、低コストでかつグラフィクスデータをTVに高品質表示することができ

る画像表示制御装置を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明は、ノンインターレース走査用のグラフィクスデータをインターレース走査の表示装置に表示する画像表示制御装置において、前記グラフィクスデータが格納されるビデオメモリから、表示対象ラインとこの表示対象ラインに対して垂直方向に連続する他の表示ラインとを含む複数表示ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出すグラフィクスデータ読み出し手段と、このグラフィクスデータ読み出し手段によって時分割的に交互に読み出される前記複数表示ラインのデータに対して、ライン毎にそれぞれ水平フィルタリング処理およびピクセルアスペクト比変換のための水平スケーリング処理を行う水平フィルタおよびスケーリング手段と、この水平フィルタおよびスケーリング手段によって前記複数表示ラインそれぞれの対応するピクセル位置のデータが水平フィルタリングおよびスケーリングされる度、それらデータ単位で前記複数表示ライン間の垂直フィルタリング処理を順次実行して、前記複数表示ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段とを具備し、前記水平方向のフィルタリングおよびスケーリング処理と前記垂直方向のフィルタリング処理とをパイプライン方式で実行できるようにしたことを特徴とする。

【0014】この画像表示制御装置においては、例えば、奇数フィールドの表示期間においては、グラフィクス画面上の奇数番目の表示対象ラインとそれを挟む2本の偶数表示ラインのグラフィクスデータがあるデータ単位で時分割的に交互に読み出されて、水平フィルタおよびスケーリング手段に送られる。水平フィルタおよびスケーリング手段では、それら時分割的に読み出される3ラインそれぞれのデータに対して水平方向のみのフィルタリングおよびスケーリングが順次行われ、輝度および色などについての信号帯域の低減と、横方向についてのピクセルアスペクト比の拡大または縮小がなされる。

【0015】そして、水平フィルタおよびスケーリングされた同一ピクセル位置のデータが3ライン分揃うと、それらデータ単位で垂直フィルタリング処理が行われる。垂直フィルタリング処理では、対応するピクセル間の輝度および色などについての平均値が求められ、信号の帯域が低減される。このようにして、水平フィルタリングおよびスケーリング処理と垂直フィルタリング処理とがパイプライン的に実行されることにより、ビデオメモリから読み出されるグラフィクスデータに対してビデオメモリのオフスクリーンエリアを用いることなくスケーリング処理およびフィルタリング処理を効率よく施せるようになる。よって、グラフィクスデータをTVに高品質表示することが可能となる。

【0016】また、ビデオメモリに格納されるグラフィ

クスデータとしては、そのグラフィクスデータのデータ量を削減するためにインデックスカラーモードを用いることが好ましい。この場合、インデックスカラーモードのデータは色変換テーブルによってカラーデータに変換された後、水平フィルタおよびスケーリング手段に送られる。色変換テーブルによる変換処理では、輝度調整が容易で、且つNTSC方式のTV用映像信号に変換しやすい、YCrCbフォーマットを用いることが好ましい。

【0017】また、メモリバンド幅をさらに低減させる場合には、水平フィルタおよびスケーリング処理された1ライン分のデータを保持するラインバッファを設けることが好ましい。これにより、例えば2ライン分のデータを時分割的に交互に読み出すだけで3ライン間での垂直フィルタリング処理を行うことが可能となる。

【0018】また、この発明は、ノンインターレース走査用のグラフィクスデータとインターレース走査用の動画データとを合成してインターレース走査の表示装置に表示する画像表示制御装置において、前記グラフィクスデータが格納されるビデオメモリから、表示対象ラインとこの表示対象ラインに対して垂直方向に連続する他の表示ラインとを含む複数表示ライン分のグラフィクスデータを所定データ単位で時分割的に交互に読み出すグラフィクスデータ読み出し手段と、このグラフィクスデータ読み出し手段によって時分割的に交互に読み出される前記複数表示ラインのデータに対して、ライン毎に水平フィルタリング処理およびピクセルアスペクト比変換のための水平スケーリング処理を行う水平フィルタおよびスケーリング手段と、この水平フィルタおよびスケーリング手段によって前記複数表示ラインそれぞれの対応するピクセル位置のデータが水平フィルタリングおよびスケーリングされる度、それら水平フィルタリングおよびスケーリングされた複数表示ラインのデータ単位で垂直フィルタリング処理を順次実行して、前記複数表示ライン分のグラフィクスデータを1表示ライン分のグラフィクスデータに変換する垂直フィルタ手段と、この垂直フィルタ手段による垂直フィルタリング処理により得られたグラフィクスデータと前記インターレース走査用の動画データとをピクセル単位で合成するグラフィクス・動画合成手段とを具備することを特徴とする。

【0019】この構成においては、 α ブレンディングなどによるグラフィクスデータと動画データとのピクセル単位の合成処理に先立って、水平フィルタリング処理およびピクセルアスペクト比変換のための水平スケーリング処理と、フリッカ防止のための垂直フィルタリング処理とがパイプライン動作で実行される。したがって、TV表示に適した状態のグラフィクスデータを動画データに合成することができ、高品質の合成映像をTVに表示することが可能となる。

【0020】また、この発明の画像表示制御装置は、フ

ィルタ特性が変更可能に構成され、ビデオメモリに格納されたグラフィクスデータに対してフィルタリング処理を施すフィルタリング手段と、このフィルタリング手段によってフィルタリングされたグラフィクスデータをTV用の映像信号に変換してTVに表示する映像信号変換手段と、前記フィルタリング手段のフィルタリング特性を変更するための制御情報が設定されるレジスタと、前記グラフィクスデータを生成するアプリケーションプログラムからのフィルタ特性変更指示に応答して、前記レジスタの制御情報を書き換える手段とを具備し、表示対象のコンテンツに合わせて動的にフィルタ特性を変更できるように構成されていることを特徴とする。

【0021】この画像表示制御装置においては、フィルタリング手段のフィルタリング特性がレジスタに対する制御情報の設定値によって変更されるように構成されており、アプリケーションプログラムからのフィルタ特性変更指示に応答して、制御情報の書き換えが行われる。したがって、例えば、文字表示の部分とイメージ表示の部分とでフィルタ特性を動的に変更することにより、コンテンツに適した最適なフィルタ特性を自動的に得ることが可能となる。

【0022】また、この発明は、ビデオメモリに格納されたグラフィクスデータに対してフィルタリング処理を施すフィルタリング手段と、このフィルタリング手段によってフィルタリングされたグラフィクスデータをTV用の映像信号に変換してTVに表示する映像信号変換手段とを有する画像表示制御装置において、前記フィルタリング手段を介さずに前記ビデオメモリのグラフィクスデータを前記映像信号変換手段に転送するためのダイレクトパスを具備することを特徴とする。

【0023】この画像表示制御装置においては、フィルタリング手段を介さずに前記ビデオメモリのグラフィクスデータを前記映像信号変換手段に転送するためのダイレクトパスが設けられており、このダイレクトパスを利用することにより、フィルタ回路を通した表示と通さない表示とに切り替えることができる。したがって、例えば、色数の多い静止画などについてはダイレクトパスを利用して表示することにより、フィルタ回路を用いる場合よりも高品質表示を行うことができる。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。まず、図1を参照して、この発明の一実施形態に係る画像表示制御装置の基本構成を説明する。この画像表示制御装置はデジタルビデオプレーヤやセットトップボックスとして使用されるものであり、コンピュータグラフィクス、動画像、およびそれらグラフィクスと動画像との合成画像などを家庭用TVに表示する機能を提供する。この画像表示制御装置には、図示のように、DVD-ROMドライブ101、MPEG2デコード102、ビデオメモリ(VRAM)103、カ

ラーパレット104a、スケーラ104b、フィルタ104c、 α ブレンディング回路105、NTSCエンコーダ106などが設けられている。

【0025】DVD-ROMドライブ101は、光ディスクからなるDVDメディア100に蓄積された動画データおよびグラフィクス表示用のアプリケーションプログラムファイルなどを読み出す。アプリケーションプログラムによって生成されるグラフィクスデータは動画データの背景映像などとして使用されるものであり、このグラフィクスデータはホームコンピュータのCPUによってビデオメモリ(VRAM)103に書き込まれる。

【0026】動画データには、主映像(ビデオ)、16チャンネルまでの副映像(サブピクチャ)、および8チャンネルまでの音声(オーディオ)を含ませることができる。この場合、これらビデオ、サブピクチャ、およびオーディオはそれぞれMPEG2規格でデジタル圧縮符号化されて記録されている。MPEG2規格では、MPEG2で符号化されたデータに、他の符号化データを含ませることができ、それら符号化データは1本のMPEG2プログラムストリームとして扱われる。ビデオの符号化にはMPEG2を使用し、サブピクチャおよびオーディオの符号化にはそれぞれランレングス符号化およびDOLBY AC3が使用される。この場合でも、それら符号化されたビデオ、サブピクチャ、およびオーディオは、1本のMPEG2プログラムストリームとして扱われる。MPEG2規格の符号化処理は可変レート符号化であり、単位時間当たりに記録/再生する情報量を異ならせることができる。よって、動きの激しいシーンほど、それに対応するフレーム群を構成するMPEG2ストリームの転送レートを高くすることによって、高品質の動画再生が可能となる。

【0027】DVDメディア100から読み出されたMPEG2プログラムストリームは、MPEG2デコーダ102に送られる。MPEG2デコーダ102は、MPEG2プログラムストリームをビデオデータ、サブピクチャデータ、およびオーディオデータに分離した後、それらをそれぞれデコード処理し同期化して出力する。デコードされたビデオデータとサブピクチャデータは合成された後、YCrCbフォーマットの動画データとして α ブレンディング回路105に送られる。

【0028】 α ブレンディング回路105は、動画データとグラフィクスデータとをピクセル単位で合成する。ピクセル毎の動画データとグラフィクスデータとの合成の比率は、 α 値によって決定される。この α 値はグラフィクスデータの各ピクセルについてその透過の度合いを示すパラメタであり、動画データの各ピクセルの透過率は $1-\alpha$ となる。したがって、例えば、 $\alpha=1$ のピクセルについてはグラフィクスデータが表示され、動画データは表示されない。反対に、 $\alpha=0$ のピクセルについてはグラフィクスデータは表示されず、動画データが表示

される。

【0029】NTSCエンコーダ106は、 α ブレンディング回路105によって合成された画像データをNTSC方式の映像信号に変換して、TV200にインターレース表示する。

【0030】カラーパレット104a、スケーラ104b、およびフィルタ104cは、ビデオメモリ(VRAM)103に描画されたノンインターレース表示用のグラフィクスデータをインターレース走査のTV200に高品質表示するために設けられたものであり、 α ブレンディング回路105による合成処理に先だって、グラフィクスデータに対してそのピクセルアスペクト比変換のためのスケーリング処理、および輝度および色信号帯域をTV200用の映像信号に合わせて低減するための垂直フィルタリング処理を行う。これらカラーパレット104a、スケーラ104b、およびフィルタ104cによるグラフィクスデータ加工処理は次のように行われる。

【0031】例えば、奇数フィールドの表示期間においては、表示対象のある奇数番目のラインのグラフィクスデータとそれを挟む2本の偶数表示ラインのグラフィクスデータとを含む3ライン分のグラフィクスデータがあるデータ単位でビデオメモリ(VRAM)103から時分割的に交互に読み出されて、カラーパレット104aに送られる。ビデオメモリ(VRAM)103にはグラフィクスデータはインデックスカラーモードのデータとして格納されており、カラーパレット104aでは、インデックスカラーモードのグラフィクスデータが読み出し順にピクセル単位で動画データと同じYCrCbフォーマットのカラーデータに順次変換される。スケーラ104bでは、YCrCbフォーマットに変換された3ラインそれぞれのデータに対して、ライン別に所定のピクセル数単位で水平方向のスケーリング処理が行われる。これにより、各ラインのデータ毎にピクセルアスペクト比が横方向に拡大または縮小され、ビデオメモリ(VRAM)103にグラフィクスデータとして描画された円は、楕円ではなく、円としてTV200に表示できるようになる。

【0032】そして、水平スケーリングされた同一ピクセル位置のデータが3ライン分揃う度に、それらデータ単位で垂直フィルタリング処理がフィルタ104cによって行われる。垂直フィルタリング処理では、3ラインそれぞれの対応するピクセル間の輝度および色についての平均値がピクセル毎に求められ、これによりTV表示用の1ライン分のグラフィクスデータが生成される。これにより、グラフィクスデータの周波数帯域がTV用映像信号と同程度にまで低減される。また、この垂直フィルタリング処理により、前段のスケーラ104bによって生じたライン間の不連続部分を滑らかにすることが

できる。

【0033】このように、表示対象ラインを含む複数ライン分のグラフィクスデータを時分割的に交互に読み出してそれらに対し順次水平スケーリング処理を施し、そして水平スケーリングされた同一ピクセル位置のデータが複数ライン分揃う度にそれらデータ単位で垂直フィルタリングを行うことにより、水平スケーリング処理と垂直フィルタリング処理とがパイプライン的に実行されることになる。これにより、ビデオメモリ（VRAM）103から読み出されるグラフィクスデータに対してビデオメモリ（VRAM）103のオフスクリーンエリアを用いることなくスケーリング処理および垂直フィルタリング処理を効率よく施せるようになる。よって、特別大きなメモリバンド幅のビデオメモリ（VRAM）103を用意しなくとも、グラフィクスデータをTVに高品質表示することが可能となる。

【0034】図2には、図1の画像表示制御装置の具体的な構成例が示されている。この画像表示制御装置は、前述のDVD-ROMドライブ101を利用した動画再生や、ゲームソフトやビューアなどを初めとする各種アプリケーションプログラムを実行することができる。この画像表示制御装置には、CPU11、ホスト/PCIブリッジ12、主メモリ13、OS格納用のマスクROM14、I/Oコントロールゲートアレイ15、USBコネクタ16、コントロールパネルにステータス表示を行うためのLED17、コントロールパネルを構成するための各種ユーザ操作スイッチ18、赤外線通信ポート19、RS232Cコネクタ20、システムBIOSを格納するフラッシュROM21、フラッシュメモリカード（SSFDC）用ソケット22、D/Aコンバータ23、AC3デコーダ24、およびオーディオミキサ25に加え、前述のDVD-ROMドライブ101、MPEG2デコーダ102、ビデオメモリ（VRAM）103、およびNTSCエンコーダ106が設けられている。

【0035】CPU11は、このシステム全体の動作を制御するものであり、主メモリ13にロードされたオペレーティングシステムおよび実行対象のアプリケーションプログラムおよび各種ドライバプログラムを実行する。

【0036】ホスト/PCIブリッジ12は、プロセッサバス1とPCIバス2との間でトランザクションを双方向で変換するためのLSIであり、プロセッサバスインタフェース121とPCIバスインタフェース123を備えている。また、ホスト/PCIブリッジ12には、CPU11およびそれ以外の他のPCIバスマスタから発行されるメモリリード/ライトトランザクションに従って主メモリ13およびマスクROM14をアクセス制御するメモリコントローラ122が設けられている。

【0037】I/Oコントロールゲートアレイ15は各種I/Oデバイスを制御するための1個のLSIであり、ここには、図示のように、PCIバス2と内部PCIバス2a間をつなぐPCIバスインタフェース151、内部PCIバス2aと内部ISAバス2b間をつなぐPCI/ISAブリッジ152が設けられている。内部PCIバス2aには、USBコネクタ16に接続される外部キーボードなどの周辺装置を制御するUSBインタフェース153と、DVD-ROMドライブ101を制御するバスマスタIDEコントローラ154と、前述したグラフィクスデータに対するスケーリングおよびフィルタリング処理、およびグラフィクスと動画データとの α ブレンディングなどを行うディスプレイコントローラ155と、内部PCIバス2aとMPEG2デコーダ102との間のインターフェース制御を行うMPEGインタフェース156が接続されている。

【0038】ディスプレイコントローラ155には、ビデオメモリ（VRAM）103をアクセス制御するメモリコントローラ201、CPU11からの指示に従って転送元と転送先のビットマップ間でさまざまな論理演算や、ビットマップの拡大/縮小などを行うビットブリット（Bit Block Transefer）回路202、グラフィクス/ビデオミキサ203、PCMオーディオコントローラ204が設けられている。グラフィクス/ビデオミキサ203は、図1のカラーパレット104a、スケーラ104b、フィルタ104c、および α ブレンディング回路105などを含んでいる。PCMオーディオコントローラ204は、グラフィクスデータに付随する効果音などの音声データをPCMオーディオデータに変換するPCM音源である。

【0039】この図2のシステムにおける動画データおよびグラフィクスデータの流れは次の通りである。すなわち、グラフィクス表示用のアプリケーションプログラムファイルは、DVD-ROMドライブ101から読み出されて、主メモリ13にロードされる。そして、そのプログラムの制御の下、CPU11は、動画データの背景映像などとして使用するグラフィクスデータをビデオメモリ（VRAM）103に描画すると共に、音声データをPCMオーディオコントローラ204に転送する。グラフィクス/ビデオミキサ203は、メモリコントローラ201を通してビデオメモリ（VRAM）103から表示対象ラインを含む複数ラインのグラフィクスデータを時分割的に交互に読み出し、前述した水平スケーリング処理および垂直フィルタリング処理をパイプライン動作で実行する。PCMオーディオコントローラ204は、音声データをPCMオーディオデータに変換し、それをD/Aコンバータ23に渡す。

【0040】一方、動画データは、主メモリ13を介さずに、DVD-ROMドライブ101からMPEG2デコーダ102に直接的に転送される。MPEG2デコー

ダ102では、MPEG2プログラムストリームに含まれるビデオおよびサブピクチャがそれぞれデコードされて、YCrCb422形式のデジタルビデオデータが生成される。また、MPEG2プログラムストリームに含まれるオーディオデータについてはそのままMPEG2デコード102からAC3デコード24に送られ、そこでデコードされる。デコードされたYCrCb422形式のデジタルビデオデータは、グラフィクス/ビデオミキサ203に送られ、グラフィクスデータと α 2ブレンディングされる。そして、NTSCエンコード106によってTV用の映像信号に変換された後、TVにインターレース表示される。また、AC3デコード24によってデコードされたオーディオデータは、オーディオミキサ25によってPCMオーディオコントローラ204からのオーディオデータと合成されて、TVの音声入力ラインなどに送られる。

【0041】図3には、グラフィクス/ビデオミキサ203とその周辺の具体的な回路構成が示されている。グラフィクス/ビデオミキサ203には、図示のように、カレントバッファ301、ネクストバッファ302、マルチプレクサ303、カラーパレット304、カレントスケーリング・Hフィルタ305、ネクストスケーリング・Hフィルタ306、ディレイ回路307、YCrCb444/422変換回路308、309、ビフォアラインバッファ310、Vフィルタ311、FIFOバッファ312、および α ブレンディング回路が設けられている。

【0042】カレントバッファ301およびネクストバッファ302は、メモリコントローラ201によってビデオメモリ(VRAM)103から所定データサイズ単位で時分割で交互に読み出される表示対象ラインのグラフィクスデータおよび次ラインのグラフィクスデータをそれぞれ一時的に保持するためのバッファである。例えば、ビデオメモリ(VRAM)103に格納されるインデックスカラーモードのグラフィクスデータが8ビット/ピクセルで、且つビデオメモリ(VRAM)103のデータバスが32ビットであれば、表示対象ラインのグラフィクスデータと次ラインのグラフィクスデータとがそれぞれ8ピクセル単位で交互に読み出されることになる。

【0043】マルチプレクサ303は、カレントバッファ301およびネクストバッファ302を交互に選択し、選択したバッファに格納されているインデックスカラーモードのグラフィクスデータをピクセル単位でシリアルに出力する。このピクセルデータはカラーパレット304に送られる。

【0044】カラーパレット304は、図4に示されているように、256個のエントリと、インデックス値として入力される8ビットのピクセルデータをデコードして256個のエントリの中の1つを選択するアドレスデ

コードから構成されている。各エントリには、444フォーマットに対応する24ビットのYCrCbデータと、8ビットの α 値との組があらかじめ設定されている。カラーパレット304から出力される444フォーマットのYCrCbデータは、カレントスケーリング・Hフィルタ305またはネクストスケーリング・Hフィルタ306に送られる。また、 α 値については、ディレイ回路307に送られ、そこで、水平スケーリングおよび垂直フィルタリング処理の時間だけ遅延された後、FIFOバッファ312bを介して α ブレンディング回路312に送られる。

【0045】カレントスケーリング・Hフィルタ305およびネクストスケーリング・Hフィルタ306は、それぞれ表示対象ラインおよび次ラインのグラフィクスデータに対する水平フィルタリング・スケーリング処理を実行するためのものであり、カラーパレット304で444フォーマットのYCrCbデータに変換された表示対象ラインのグラフィクスデータはカレントスケーリング・Hフィルタ305に入力され、またカラーパレット304で444フォーマットのYCrCbデータに変換された表示対象ラインのグラフィクスデータはカレントスケーリング・Hフィルタ306に入力される。

【0046】カレントスケーリング・Hフィルタ305は、連続して入力される表示対象ラインに属する444フォーマットのYCrCbデータに対して、まず、輝度および色信号帯域低減のための水平フィルタリング処理を行い、その後、水平スケーリングのための演算を順次実行する。この水平フィルタ処理はFIRフィルタを用いた積和型演算によって実行されるものであり、図5の回路によって実現される。図5の水平フィルタ回路は3タップ構成であり、連続する3ピクセル間の積和型演算を行うために、それぞれ1ピクセル分だけデータを遅延する2つのディレイ回路511、512と、3つの乗算器513、514、515と、加算器516とから構成されている。乗算器513、514、515それぞれの乗数値は、フィルタ特性制御レジスタ314に設定される制御パラメータの値によって決定される。

【0047】水平フィルタリングおよびスケーリングが済んだ表示対象ラインのピクセルはYCrCb444/422変換回路308に送られ、そこで422フォーマットのYCrCbデータに変換された後、Vフィルタ311に入力される。

【0048】ネクストスケーリング・Hフィルタ306は、連続して入力される次ラインに属する444フォーマットのYCrCbデータに対して、まず、輝度および色信号帯域低減のための水平フィルタリング処理を行い、その後、水平スケーリングのための演算を順次実行する。この水平フィルタ処理はFIRフィルタを用いた積和型演算によって実行されるものであり、図5の回路によって実現される。水平フィルタリングおよびスケー

リングが済んだ表示対象ラインのピクセルはYCrCb 444/422変換回路309に送られ、そこで422フォーマットのYCrCbデータに変換される。変換後のYCrCbデータはVフィルタ311に送られ、またそのYCrCbデータの中のYデータについては次のスキャン時における1ライン前のデータとして使用するためにビフォアラインバッファ310に蓄積される。

【0049】Vフィルタ311は、表示対象ラインと次ラインについてそれらの対応するピクセル位置のデータが揃う度に、ビフォアラインバッファ310に保持されている前ラインの対応するピクセル位置のデータを使った3ライン間での垂直フィルタリング処理を実行する。この垂直フィルタ処理もFIRフィルタを用いた積和型演算によって実行されるものであり、図6の回路によって実現される。図6の垂直フィルタ回路は、連続する3ライン間の積和型演算を行うために、3つの乗算器611、612、613と、加算器616とから構成されている。乗算器611、612、613それぞれの乗数値は、フィルタ特性制御レジスタ314に設定される制御パラメータの値によって決定される。

【0050】この垂直フィルタリング処理の様子を図7に示す。図7は、ラインL3が表示対象ラインである場合の垂直フィルタリング処理の例であり、ラインL2、ラインL3、およびラインL4それぞれの先頭ピクセルから順に、対応するピクセル位置の3ピクセル間での垂直フィルタリング処理が順次実行される。これにより、TVの奇数フィールドに表示すべき1ライン分のグラフィクスデータが生成される。次のスキャン時においては、今度は、ラインL3の次の奇数ライン、つまりラインL5が表示対象ラインとなり、ラインL4、ラインL5、およびラインL6の3ラインで垂直フィルタリングが行われる。

【0051】垂直フィルタリングで得られたピクセルデータは、FIFOバッファ312aを介して α ブレンディング回路313に送られ、表示対象ラインの対応するピクセル位置の α 値にしたがってYCrCb 444形式の動画データと合成される。

【0052】フィルタ特性制御レジスタ314は、CPU11によってリード・ライト可能なレジスタであり、ここには前述したように水平および垂直のフィルタ特性を変更するための制御パラメータが設定される。フィルタ特性制御レジスタ314に設定された制御パラメータ値は、水平フィルタ特性を変化させるための信号H-CO NT、および垂直フィルタ特性を変化させるための信号V-CO NTとして、スケーリング・Hフィルタ305、306、およびVフィルタ311にそれぞれ供給される。これら信号H-CO NT、V-CO NTにより、前述のFIRフィルタの乗数値などが変化される。

【0053】また、カレントバッファ301とFIFOバッファ312aとの間にはダイレクトパスが設けられ

ており、このダイレクトパスを利用することにより、パレット304、スケーリング・Hフィルタ305、306、およびVフィルタ311などを經由せずに、FIFOバッファ312aおよび α ブレンディング回路313経由で直接的にNTSCエンコーダ106に送ることができる。このダイレクトパスは、例えば、ビデオメモリ103に16ビット/ピクセルなどの色数の多い静止画像などがCPU11によって描画された場合に利用される。このように、インデックスカラーモードを使用する場合とそれよりも色数の多いデータを利用する場合とでデータ処理の経路を変えることにより、常に最適な表示品質を得ることができる。経路の選択は、例えば、PCIインターフェース155aのレジスタに対する設定値によりFIFOバッファ312aの入力を切り替えることなどによって行うことができる。

【0054】以上のように、図3の構成においては、表示対象ラインの1ライン前のスケーリング後のグラフィクスデータを保持するラインバッファ310を利用することにより、2ライン分のラインを時分割で交互に読み出すだけで3ライン間での垂直フィルタリングを行うことが可能となる。なお、ここでは、3ライン間で垂直フィルタリングを行う場合を例示したが、5ライン間で垂直フィルタリングを行うことも可能である。

【0055】図8には、フィルタ特性制御レジスタ314を用いてフィルタ特性を動的に変更するためのソフトウェア構造が示されている。オペレーティングシステムには、アプリケーションプログラムからのフィルタ特性変更指示を受けるためのフィルタ設定ファンクションがアプリケーションインターフェースとして用意されており、アプリケーションプログラムからフィルタ特性変更指示が発行されると、それはオペレーティングシステムからディスプレイドライバに渡される。ディスプレイドライバは図3のディスプレイコントローラを制御するプログラムであり、フィルタ特性変更指示に応じて、所定の制御パラメータをフィルタ特性制御レジスタ314に設定する。これにより、アプリケーションプログラムが表示内容、つまりビデオメモリ103に描画する内容に応じてフィルタ特性変更指示を発行することにより、文字表示の部分とイメージ表示の部分とでフィルタ特性を動的に変更することなどができるようになり、コンテンツに適応した最適なフィルタ特性を自動的に得ることが可能となる。

【0056】図9には、グラフィクス/ビデオミキサ203の第2の構成例が示されている。このグラフィクス/ビデオミキサ203は、1ライン前のグラフィクスデータを保持するためのラインバッファを使用することなく、3ライン間での垂直フィルタリングを行う構成であり、ビデオメモリ(VRAM)103から時分割で交互に読み出される3ライン(表示対象ライン、次ライン、前ライン)にそれぞれ対応する3つのバッファ、すなわ

ちカレントバッファ401、ネクストバッファ402、およびビフォアバッファ403が設けられている。また、スケーリング・H2フィルタについても、3ラインそれぞれに対応する3つの回路、カレントスケーリング・Hフィルタ406、ネクストスケーリング・Hフィルタ407、ビフォアスケーリング・Hフィルタ408が設けられており、3ラインそれぞれの水平スケーリングが並行して行われる。

【0057】また、Vフィルタ413は、Yデータだけでなく、Cr、Cbデータについてもフィルタ処理を行うように構成されている。Yデータだけの垂直フィルタに比べて、色にじみの少ない高品質表示が可能となる。

【0058】

【発明の効果】以上説明したように、この発明によれば、ビデオメモリから読み出されるグラフィクスデータに対してビデオメモリのオフスクリーンエリアを用いることなくスケーリング処理および垂直フィルタリング処理を効率よく施せるようになり、グラフィクスデータをTVに高品質表示することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る画像表示制御装置の動作原理を説明するための図。

【図2】同実施形態の画像表示制御装置全体のシステム構成を示す図。

【図3】同実施形態の画像表示制御装置に設けられたグラフィクス/ビデオミキサの具体的な構成の一例を示すブロック図。

【図4】図3のグラフィクス/ビデオミキサに設けられたカラーパレットの構成を示す図。

【図5】図3のグラフィクス/ビデオミキサに設けられた水平フィルタ回路の具体的な構成を示す図。

【図6】図3のグラフィクス/ビデオミキサに設けられた垂直フィルタ回路の具体的な構成を示す図。

【図7】図3のグラフィクス/ビデオミキサに設けられたVフィルタの垂直フィルタリング処理の原理を説明するための図。

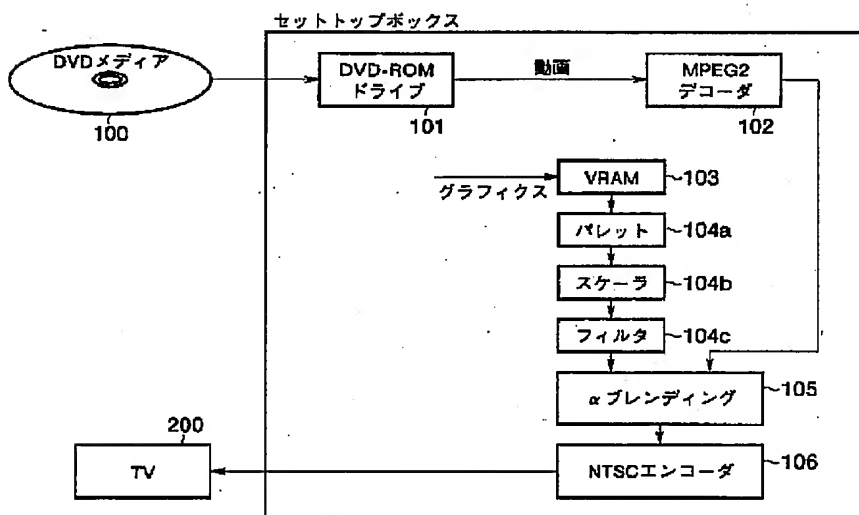
【図8】図3のグラフィクス/ビデオミキサに設けられた水平・垂直フィルタ回路のフィルタ特性を動的に変更するための仕組みを説明するための図。

【図9】同実施形態の画像表示制御装置に設けられたグラフィクス/ビデオミキサの他の構成の一例を示すブロック図。

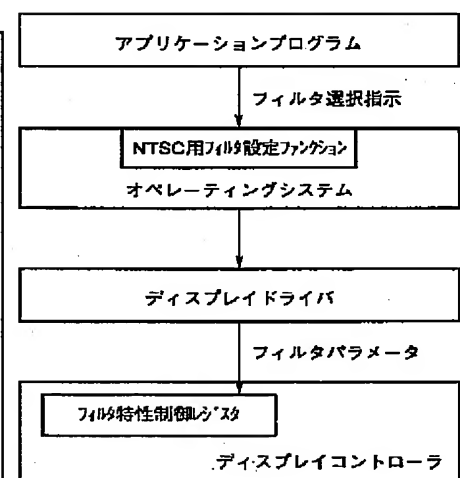
【符号の説明】

101…DVD-ROMドライブ、102…MPEG2デコーダ、103…ビデオメモリ、104a…カラーパレット、104b…水平スケーラ、104c…垂直フィルタ、105… α ブレンディング回路、301…カレントバッファ、302…ネクストバッファ、303…マルチプレクサ、304…カラーパレット、305…カレントスケーリング・Hフィルタ、306…ネクストスケーリング・Hフィルタ、307…ディレイ回路、308、309…YCrCb444/422変換回路、310…ビフォアラインバッファ、311…Vフィルタ。

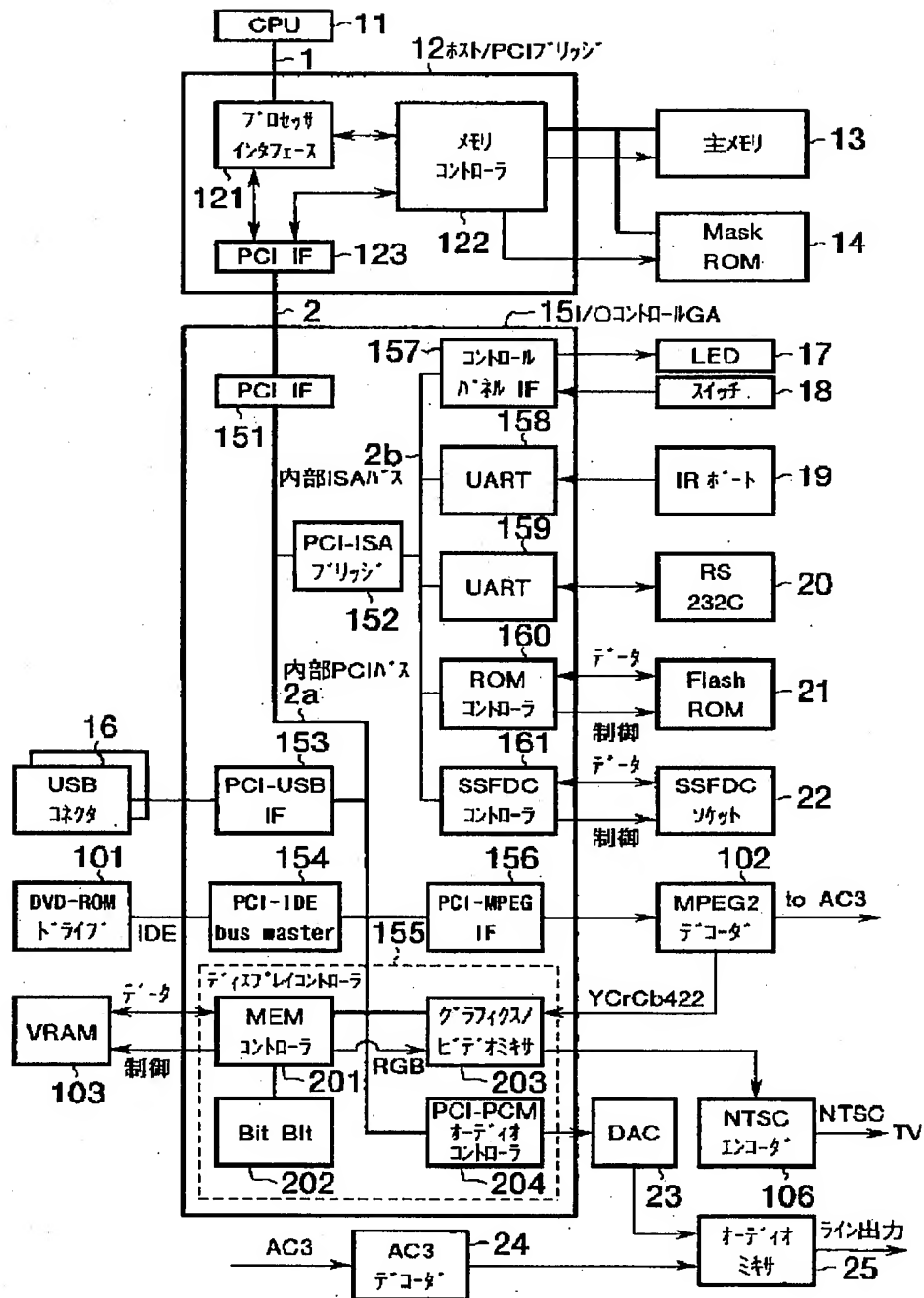
【図1】



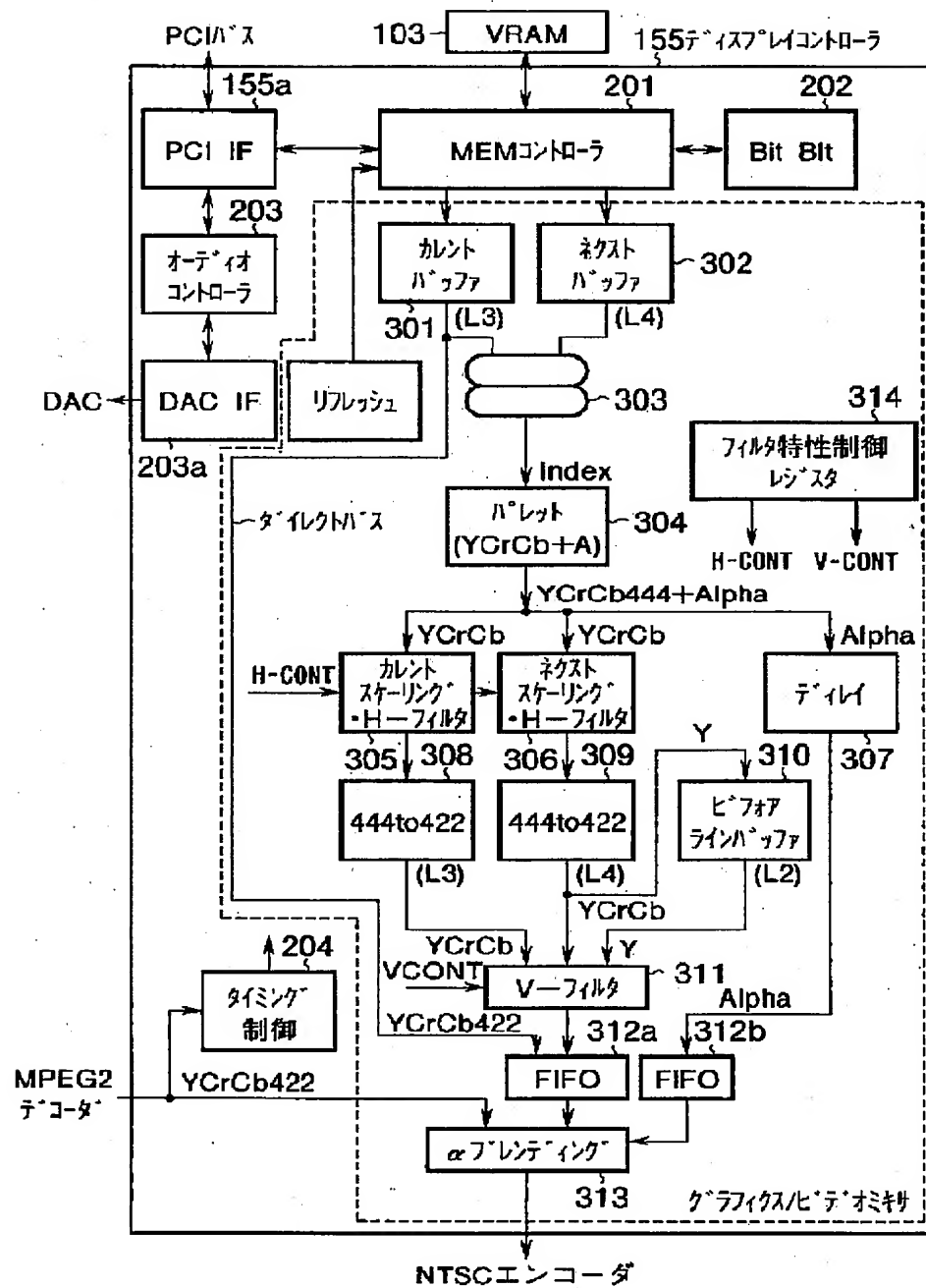
【図8】



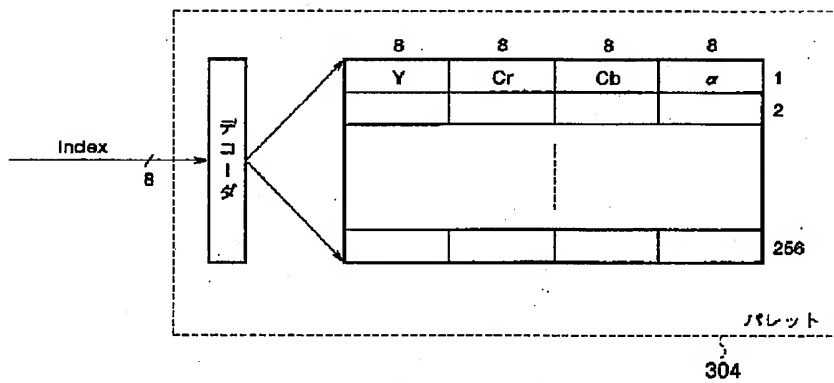
【図2】



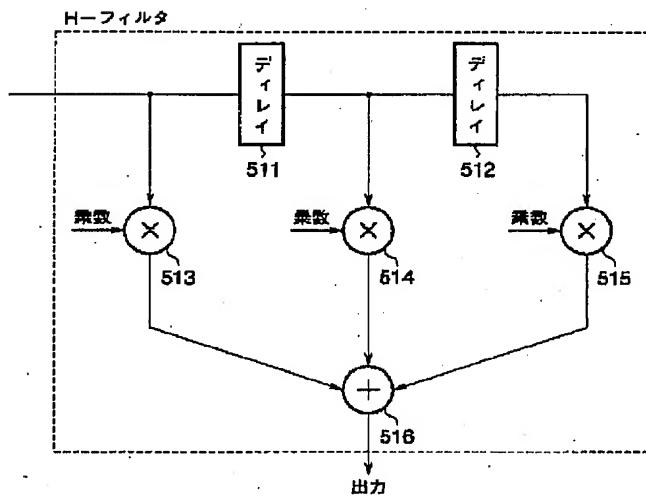
【図3】



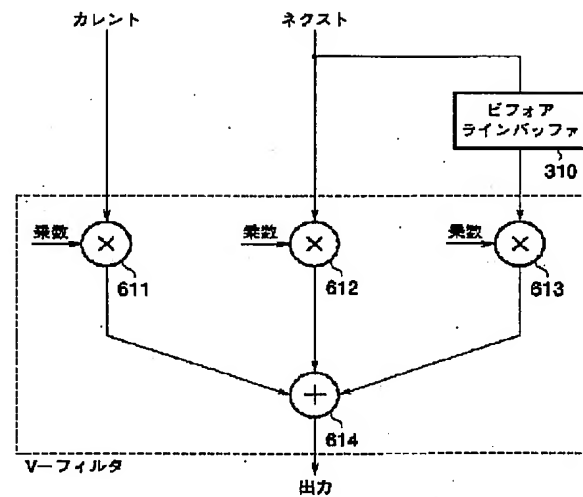
【図4】



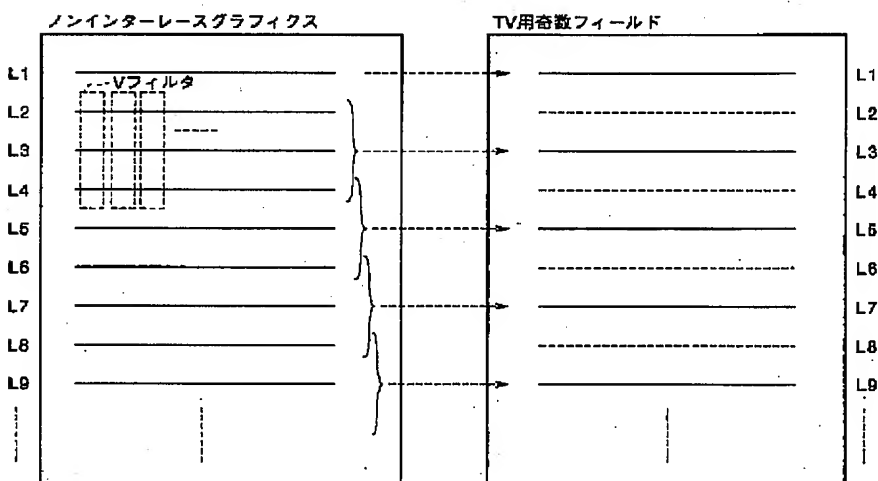
【図5】



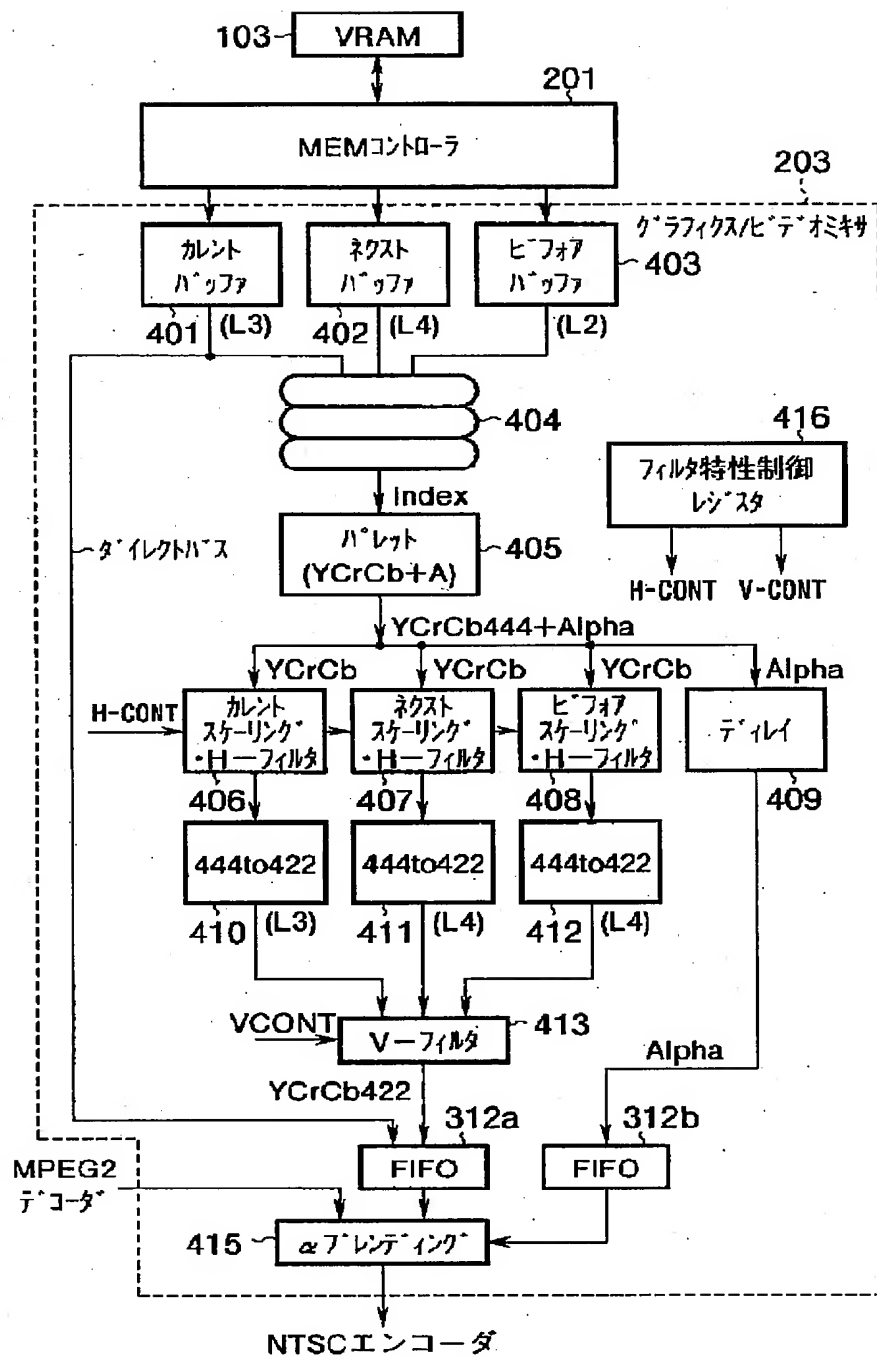
【図6】



【図7】



【図9】



フロントページの続き

(51)Int.Cl.⁶

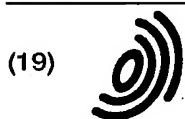
H04N 7/01

識別記号

FI

H04N 7/01

G



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 840 505 A2

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:
06.05.1998 Bulletin 1998/19

(51) Int. Cl.⁶: H04N 5/45

(21) Application number: 97119124.2

(22) Date of filing: 03.11.1997

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

(30) Priority: 01.11.1996 US 30104 P

(71) Applicant:
TEXAS INSTRUMENTS INCORPORATED
Dallas, Texas 75243 (US)

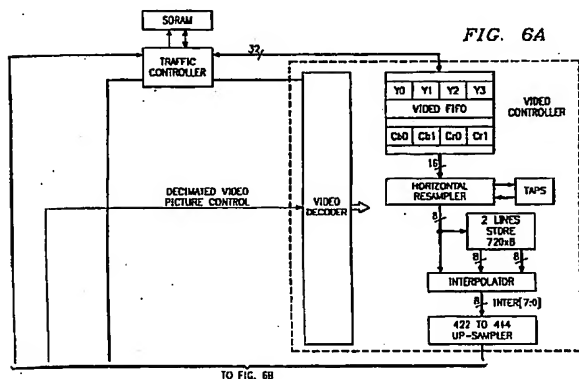
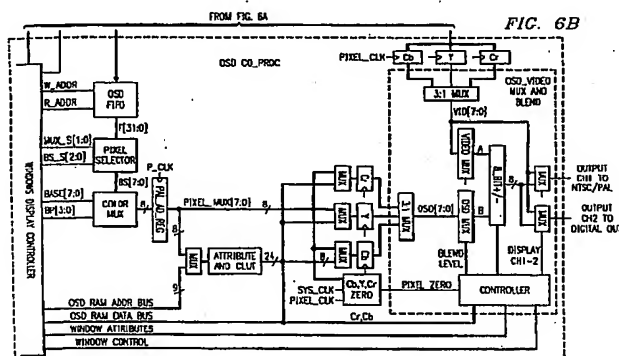
(72) Inventors:

- Chauvel, Gerard
06600 Antibes (FR)
- Chae, Brian
Plano, TX 75075 (US)

(74) Representative: Holt, Michael
Texas Instruments Limited,
Kempton Point,
68 Staines Road West
Sunbury-on-Thames, Middlesex TW16 7AX (GB)

(54) System to multiplex and blend graphics OSD and motion video pictures for digital television

(57) A system is provided to multiplex graphic and Motion video pictures for digital TV set-top box. The motion picture is generated by an MPEG Video decoder and the graphic windows are generated by an OSD Co-Processor. Each graphic window is characterized by a set of attributes that define the display mode, position on the screen, priority and blend factor. When a window is blended, the motion video and OSD color components are added together with a proportion of each defined by the window attributes. Decimated motion video picture can be also displayed within an OSD window; the OSD Co-processor generates an empty window that is filled by the video decoder with the decimated motion video.



EP 0 840 505 A2

Description

FIELD OF THE INVENTION

This invention relates to System to Multiplex and Blend Graphics OSD and Motion Video Pictures for digital television.

BACKGROUND OF THE INVENTION

Digital TV set-top boxes are currently being tested and utilized in some areas. However, these boxes often provide insufficient capabilities for displaying windows.

SUMMARY OF THE INVENTION

A system is provided to multiplex graphic and Motion video pictures for digital TV set-top box. The motion picture is generated by an MPEG Video decoder and the graphic windows are generated by an OSD Co-Processor. Each graphic window is characterized by a set of attributes that define the display mode, position on the screen, priority and blend factor. When a window is blended, the motion video and OSD color components are added together with a proportion of each defined by the window attributes. Decimated motion video picture can be also displayed within an OSD window; the OSD Co-processor generates an empty window that is filled by the video decoder with the decimated motion video.

BRIEF DESCRIPTION OF THE DRAWINGS

The present invention will now be further described, by way of example, with reference to the accompanying drawings in which:

Figure 1 depicts an OSD window blended over video;

Figure 2 illustrates two windows over a full screen background color;

Figure 3 depicts decimated by $\frac{1}{2}$ of motion video pictures;

Figure 4 shows a decimation filter algorithm;

Figure 5 shows video output timings;

Figures 6A and 6B depict the main blocks of a system to multiplex and blend graphic and motion video pictures of the present invention;

Figure 7 shows the timing of OSD outputs in different modes; and

Figure 8 shows of an OSD/video 4 levels blend matrix.

DETAILED DESCRIPTION

The video decoder (Figure 1) decodes MPEG2 data and built the motion video picture into the SDRAM, and display every frame a new picture. The OSD win-

dows can be displayed over the motion video or blended with the video with different levels of blending. The coordinates, size and display attributes of each windows are defined in the window attribute memory. During display the OSD Co_processor read and interprets the OSD data stored within the SDRAM. A window can be: graphic, bit-map, still video or empty. The Figure 1 shows a full screen motion video picture with an OSD window. During the parts of motion video the Luma and Chroma is generated by the video decoder and transmitted to the video output through the input A of the Mux. In a graphic window the Luma and Chroma are generated by the OSD Co-processor through the input B of the Mux. If the window is blended, motion video and graphics are added together with a proportions defined by the window attributes.

Figure 2 contains two windows over a full screen background color. The window 4 contain a graphic, bit-map or still picture and the window 1 contain a motion video picture. The position and size of the each windows are defined by the attributes stored in OSD Co-processor. Every frame a picture is read and decimate in real time. The decimation ratio is defined by the window attributes.

Full screen and decimated by $\frac{1}{4}$ motion video pictures are shown Figure 3 and Figure 4 shows the decimation filter algorithm. The video decoder decimate vertically by reading the source video every two lines. The line $n+1$ and $n+3$ are ignored. Horizontally the decimation filter decimate by 2. The number of pixels is reduced horizontally by 2. P_i is generated from P_j and its neighbor P_{j-1} and P_{j+1} . The result of vertical and horizontal decimation is a motion picture 4 time smaller than the original picture. In this example three pixels are used to generate one, more complex filters with 5, 7 or 9 pixels can be used to improve picture quality. Different ratios of decimation are possible: $\frac{1}{2}$, $\frac{1}{3}$ and $\frac{1}{4}$.

Figures 6A and 6B represent the main blocks of the system to multiplex and blend graphic and motion video pictures: the MPEG video decoder and the OSD Co-processor, traffic controller and SDRAM. The data to be displayed are stored in SDRAM, the traffic controller manage the access to the memory.

The video decoder contain several blocks to decode and display the MPEG2 data, they are: RISC CPU, VLD, IDCT, Motion Compensation and video controller Modules. The CPU execute micro-instructions, handle interrupt, control and synchronize modules and schedule traffic to SDRAM. Only the video controller is detailed in Figures 6A and 6B. The CPU manage the transfer from the motion video source picture to the Video FIFO. A 32-bit word contain 4 Luma Y_0 to Y_3 or 2 chroma samples Cb_0 , Cr_0 and Cb_1 , Cr_1 . The transfer between SDRAM and FIFO is done by burst. During the display the video controller access samples in FIFO to generate pixel by pixel the 3 color components: Cb , Y and Cr . To reduce memory space the motion video picture is stored in 4:2:0 format, Chroma resolution is

divided by 2 horizontally and vertically. Chroma is interpolated by the block interpolator that generates the 4:2:2 picture using the current line and 2 previous lines. The polyphase filter required for horizontal re-sampler is implemented in the video data path. The coefficients for the filter are stored in Taps memory. Filters support re-sampling from 360...704 to 720 and horizontal decimation by 2, 3 or 4. The output Inter[7:0] of the interpolator generate each pixel a Luma sample Y and a chroma sample alternately Cb or Cr, output frequency is 27Mhz. The video output is modified in order to be synchronous with the system clock 40.5Mhz. Figure 5 shows the modified video output and the output of the up-sampler. Pixel frequency is 13.5 Mhz.

The OSD Co-processor controls the display of the OSD windows. Each hardware window has the following attributes:

- window position: any even pixel horizontal position on screen; windows with decimated video have to start from an even numbered video line also
- window size: from 2 to 720 pixel wide (even values only) and 1 to 576 lines
- window base address
- data format: bitmap, YCrCb 4:4:4, YCrCb 4:2:2, and empty
- bitmap resolution: 1, 2, 4, and 8 bits per pixel
- full or half resolution for bitmap and YCrCb 4:4:4 windows
- bitmap color palette base address
- blend enable flag
- 4 or 16 levels of blending
- transparency enable flag for YCrCb 4:4:4 and YCrCb 4:2:2
- output channel control

The window position, size and priority are stored in CAM memory located in the window display controller. The window attributes and CLUT are store in attribute memory. The OSD Co-processor manage the transfer between SDRAM and OSD FIFO, line by line and by segments of window to be displayed. Each pixel it generates the color component YCrCb or the CLUT address in bitmap. In graphic 4:4:4 mode, the window memory contain the 3 color components Cb, Y and Cr. In still video 4:2:2 mode the window memory contain the color components Y and alternately Cb, or Cr. In bit-map the window memory contain the code of the color to be displayed, the color components are stored in the CLUT. Figure 7 shows the timing of OSD outputs in different modes. In bit map the code of the color concatenated with the color base address select one of the color of the CLUT. The 3 color components are stored in the respective registers and multiplexed at the system clock frequency to generate Osd[7:0] output.

In 4:2:2 still video, the color components Cr, Y and Cb are transferred to the respective registers. Every 2 pixels only Y is modified. The 3 color components are

multiplexed at the system clock frequency to generate Osd[7:0] output.

In 4:4:4 graphic, the color components Cr, Y and Cb are transferred to the respective registers and multiplexed at the system clock frequency to generate Osd[7:0] output.

In Figures 5 and 7, the color components of Vid[7:0] and Osd[7:0] are in phase and can be combined together to blend graphic and video.

When the blend enable attribute is selected the corresponding OSD window is blend over the video. Figure 8 shows a 4 levels blend matrix. The blend level is defined with the window attribute. The OSD output Ch1 and/or Ch2 are:

Full OSD: Output is Osd[7:0]

Full Video: Output is Vid[7:0]

1/2 Video and 1/2 OSD: Output is Osd[7:1] + Vid[7:1]

Video and 1/4 OSD: Output is Osd[7:2] + Vid[7:1] + Vid[7:2]

1/4 Video and 3/4 OSD: Output is Osd[7:1] + Osd[7:2] + Vid[7:2]

Blending can be at window or color level. When blending at window level is selected the attributes define the level of blending according to the matrix Figure 8. In bit-map when color level is selected the LSB bit(s) of Cb and Cr are used to select the blend level.

In graphic of still video when blend is enable, the value zero of Cb, Y and Cr indicate a transparent color. The corresponding OSD pixels are replaced with the Vid[7:0].

Empty window attribute selects a decimated motion picture in an OSD window. During the display the window display controller generate a signal: "Decimated window control" to indicate to the video controller the presence of a decimated window and the decimation ratio. The Video decoder decimate vertically by loading the video FIFO with the selected motion video lines, every 2, 3 or 4 lines depending of the decimation ratio. The horizontal re-sampler decimate horizontally by 2, 3 or 4 with the corresponding decimation filter. Window control and decimated video picture control select the Vid[7:0] output to fill the empty window. The position of the empty window is selected by window attributes.

The attribute output channel control selects the windows to be displayed at the outputs Ch1 and/or Ch2. Each window can be selected independently. When a window is not selected the corresponding area is replaced by the motion video. This system allows to have one channel for VCR recorder that records video and sub-title and the second channel with the full OSD menu.

Claims

1. A system for generating synchronous color components from different display modes comprising:

a video decoder, and
an OSD co-processor,

wherein said display modes are
selected from Motion video, 4:2:2, 4:4:4 and
bit-map, or combinations thereof.

5

2. A blending and decimated window system comprising:

a video decoder, and
an OSD co-processor.

10

15

20

25

30

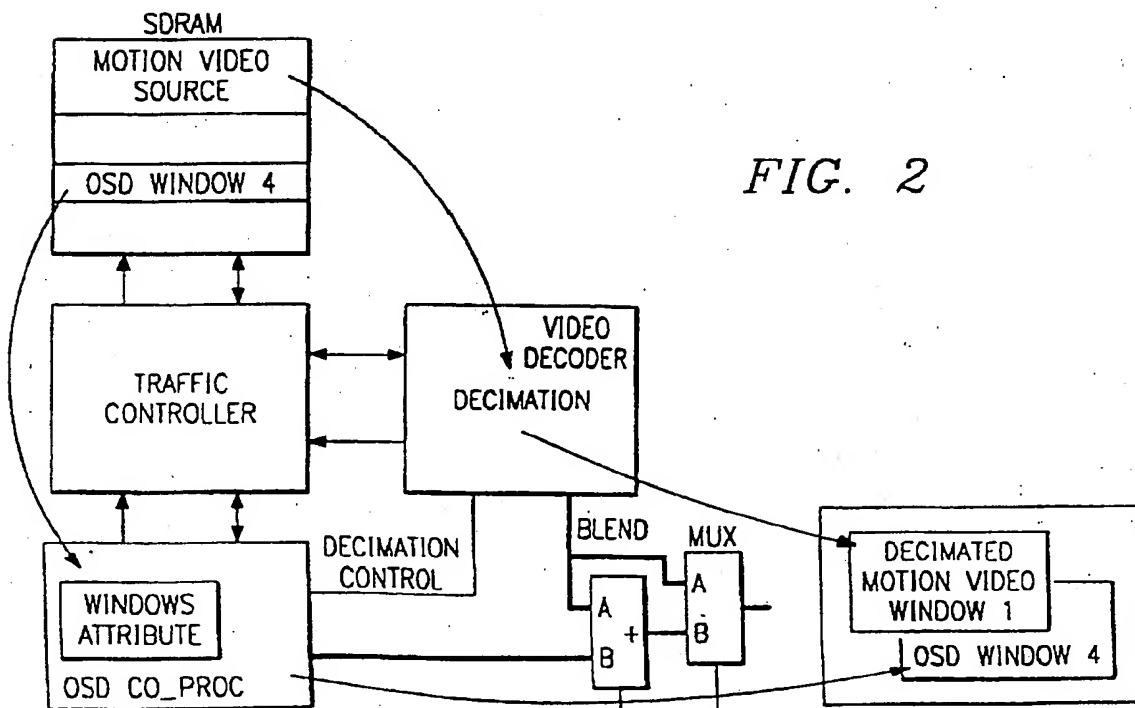
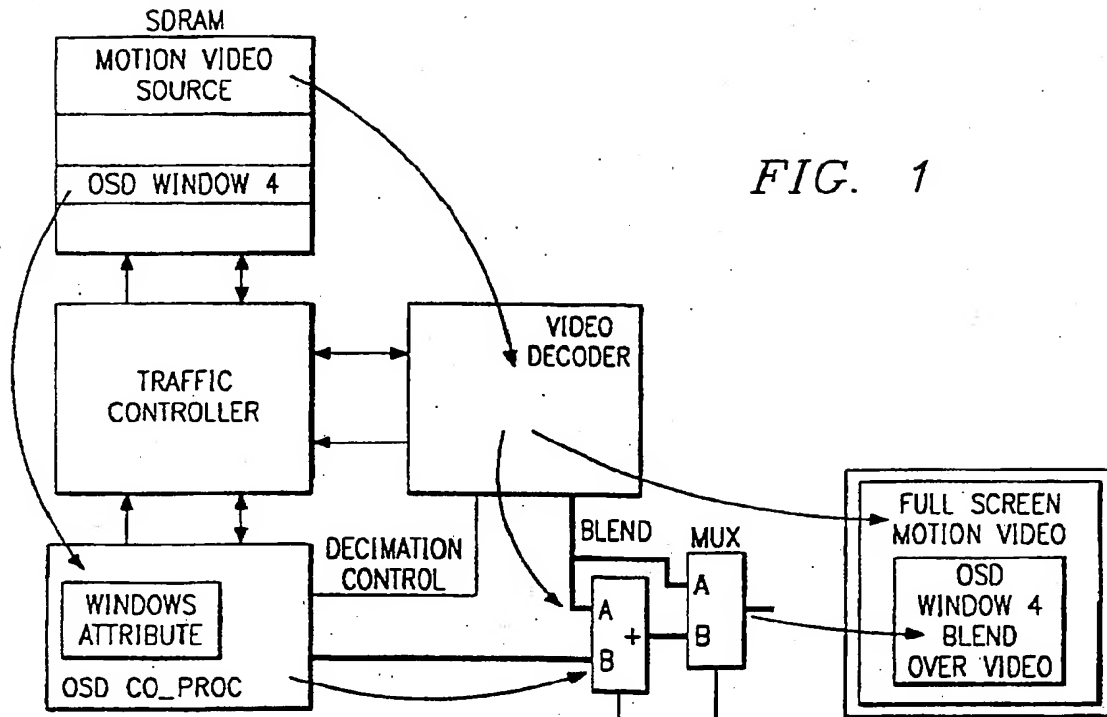
35

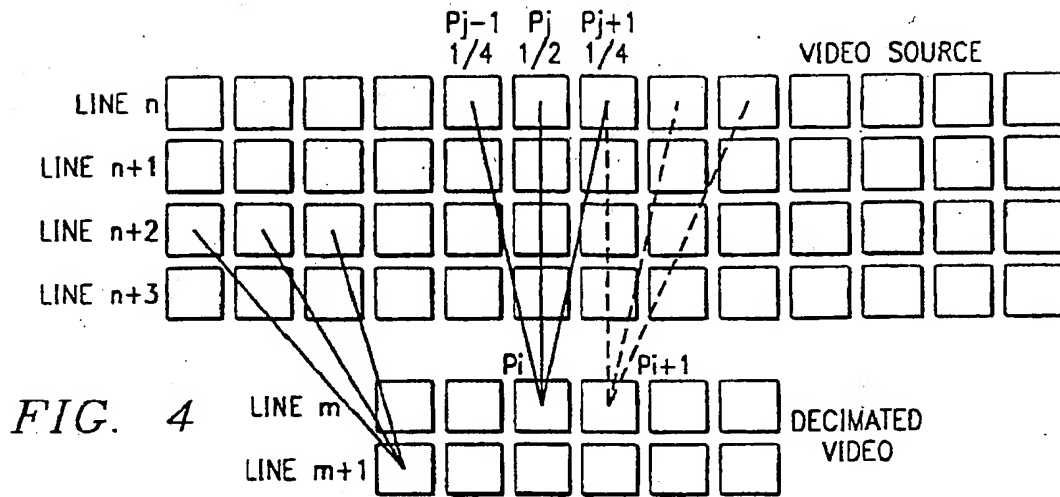
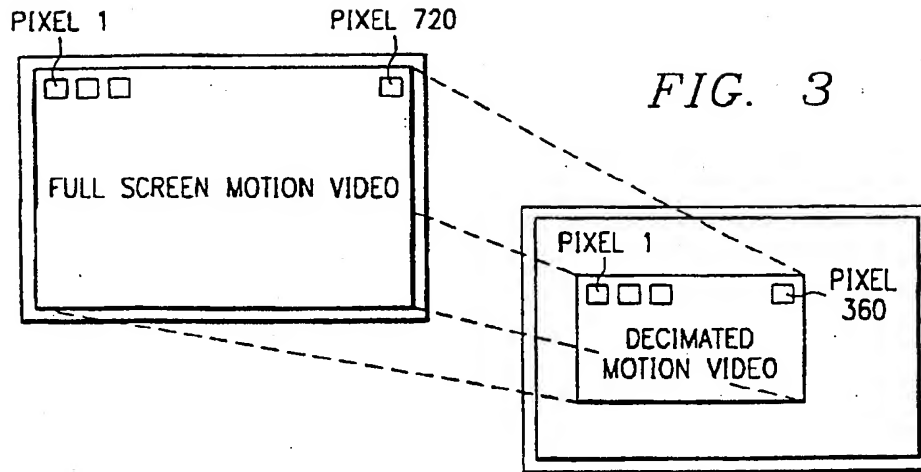
40

45

50

55





OSD VIDEO	OSD[7:0]	OSD[7:1]	OSD[7:1]+ OSD[7:2]	OSD[7:2]	0
VID[7:0]					FULL OSD
VID[7:1]		1/2 VIDEO 1/2 OSD			
VID[7:1]+ VID[7:2]				1/4 VIDEO 3/4 OSD	
VID[7:2]			3/4 VIDEO 1/4 OSD		
0	FULL VIDEO				

FIG. 8

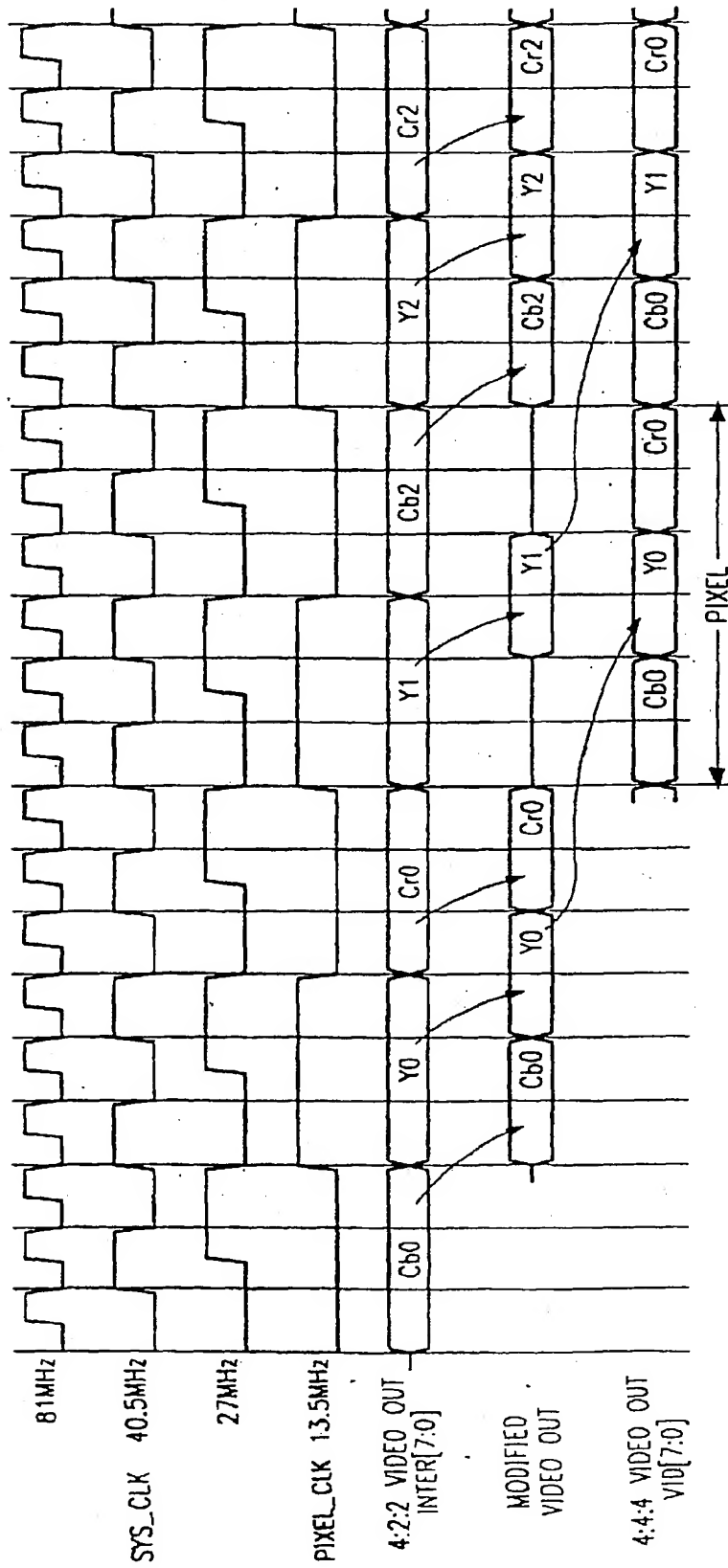
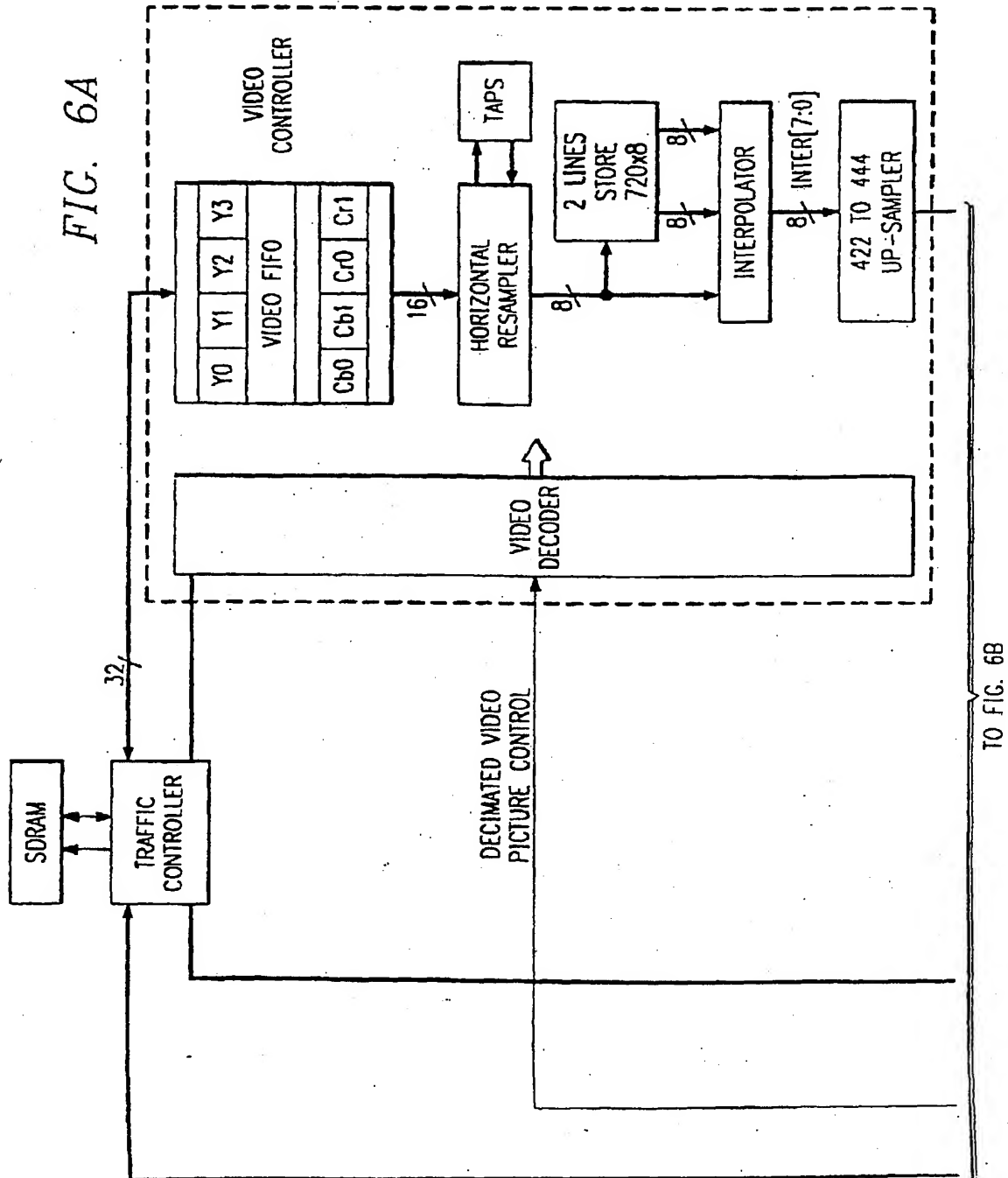


FIG. 5

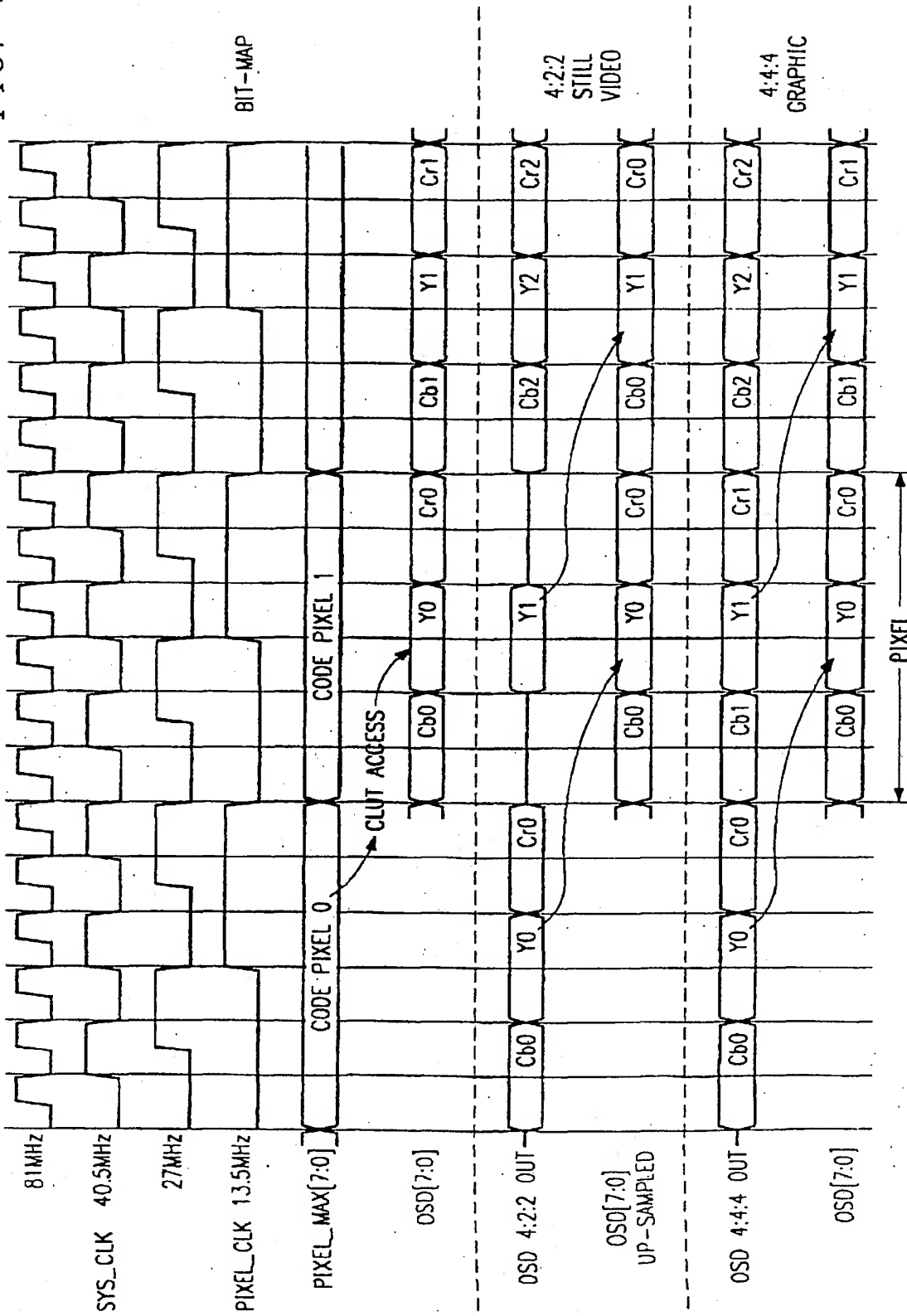
FIG. 6A

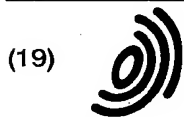


FROM FIG. 6A



FIG. 7





Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 840 505 A3

(12) EUROPEAN PATENT APPLICATION

(88) Date of publication A3:
29.12.1999 Bulletin 1999/52

(51) Int. Cl.⁶: H04N 5/45

(43) Date of publication A2:
06.05.1998 Bulletin 1998/19

(21) Application number: 97119124.2

(22) Date of filing: 03.11.1997

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

(30) Priority: 01.11.1996 US 30104 P

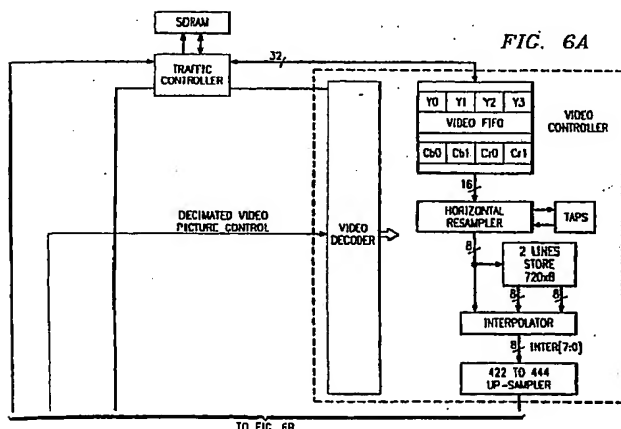
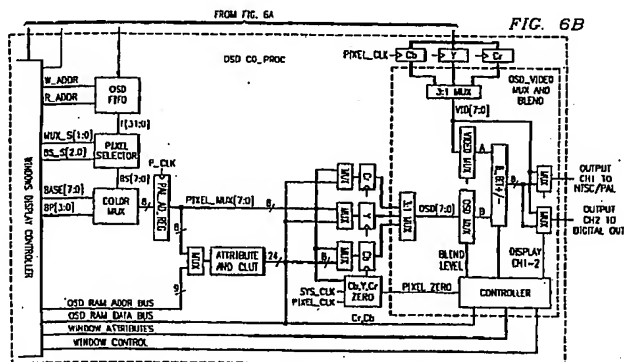
(71) Applicant:
TEXAS INSTRUMENTS INCORPORATED
Dallas, Texas 75243 (US)

(72) Inventors:
• Chauvel, Gerard
06600 Antibes (FR)
• Chae, Brian
Plano, TX 75075 (US)

(74) Representative: Holt, Michael
Texas Instruments Limited,
P.O. Box 5069
Northampton NN4 7ZE (GB)

(54) System to multiplex and blend graphics OSD and motion video pictures for digital television

(57) A system is provided to multiplex graphic and Motion video pictures for digital TV set-top box. The motion picture is generated by an MPEG Video decoder and the graphic windows are generated by an OSD Co-Processor. Each graphic window is characterized by a set of attributes that define the display mode, position on the screen, priority and blend factor. When a window is blended, the motion video and OSD color components are added together with a proportion of each defined by the window attributes. Decimated motion video picture can be also displayed within an OSD window; the OSD Co-processor generates an empty window that is filled by the video decoder with the decimated motion video.



TO FIG. 6B



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 97 11 9124

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
X	US 5 534 942 A (BEYERS JR BILLY W ET AL) 9 July 1996 (1996-07-09) * column 1, line 52 - column 2, line 3 * * column 2, line 24 - column 4, line 54; claim 1; figure 1 *	1,2	H04N5/45 H04N5/445
X	WO 96 18991 A (AURAVISION CORP) 20 June 1996 (1996-06-20) * page 1, line 1 - page 2, line 11; claim 1; figures 1-3 *	1,2	
A	EP 0 701 367 A (THOMSON CONSUMER ELECTRONICS) 13 March 1996 (1996-03-13) * column 1, line 56 - column 2, line 36; figure *	1,2	
A	US 4 680 629 A (FUKUSHIMA NOBUO ET AL) 14 July 1987 (1987-07-14) * the whole document *	1,2	
			TECHNICAL FIELDS SEARCHED (Int.Cl.6)
			H04N
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 11 November 1999	Examiner Fuchs, P
CATEGORY OF CITED DOCUMENTS		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document	
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document			

EPO FORM 1503 03.92 (P4/C01)

ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.

EP 97 11 9124

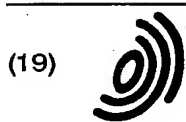
This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

11-11-1999

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5534942 A	09-07-1996	BR 9508012 A	02-09-1997
		CA 2191556 A	28-12-1995
		CN 1152985 A	25-06-1997
		DE 69505668 D	03-12-1998
		DE 69505668 T	08-04-1999
		EP 0765574 A	02-04-1997
		FI 965037 A	16-12-1996
		JP 10501943 T	17-02-1998
		WO 9535626 A	28-12-1995
WO 9618991 A	20-06-1996	US 5696527 A	09-12-1997
		US 5644325 A	01-07-1997
		US 5644333 A	01-07-1997
		US 5621428 A	15-04-1997
		AU 4413396 A	03-07-1996
		EP 0870295 A	14-10-1998
EP 0701367 A	13-03-1996	CA 2156871 A	10-03-1996
		CN 1138796 A	25-12-1996
		JP 8181955 A	12-07-1996
		SG 32490 A	13-08-1996
		US 5625406 A	29-04-1997
US 4680629 A	14-07-1987	JP 60180387 A	14-09-1985
		AU 570301 B	10-03-1988
		AU 3919885 A	05-09-1985
		CA 1212453 A	07-10-1986
		EP 0154301 A	11-09-1985

EPO FORM P459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 840 276 A2

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:

06.05.1998 Bulletin 1998/19

(51) Int. Cl.⁶: G09G 5/14

(21) Application number: 97119122.6

(22) Date of filing: 03.11.1997

(84) Designated Contracting States:

AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

(30) Priority: 01.11.1996 US 30107 P

(71) Applicant:

TEXAS INSTRUMENTS INCORPORATED
Dallas, Texas 75243 (US)

(72) Inventors:

• Chauvel, Gerard
300 Ch de la Suquette, 06600 Antibes (FR)

• Benbassat, Gerard

06570 St-Paul-de-Vence (FR)

• Chae, Brian

Plano, TX 75075 (US)

(74) Representative: Holt, Michael

Texas Instruments Limited,

Kempton Point,

68 Staines Road West

Sunbury-on-Thames, Middlesex TW16 7AX (GB)

(54) Window processing in an on screen display system

(57) A system is described that allows simultaneous display on a display screen of bit-map, graphic, still video picture, motion video picture or background. A frame memory containing the page to be displayed is located in an the SDRAM. A display controller reads the frame memory block by block and transfers the data to a Fifo. For each pixel, the OSD decoder reads the bits

required to display the current pixel from the FIFO. The number of bits per pixel varies during the display depending upon the mode. The pixel selector and its controller select the bits of data from the FIFO to form the current pixel.

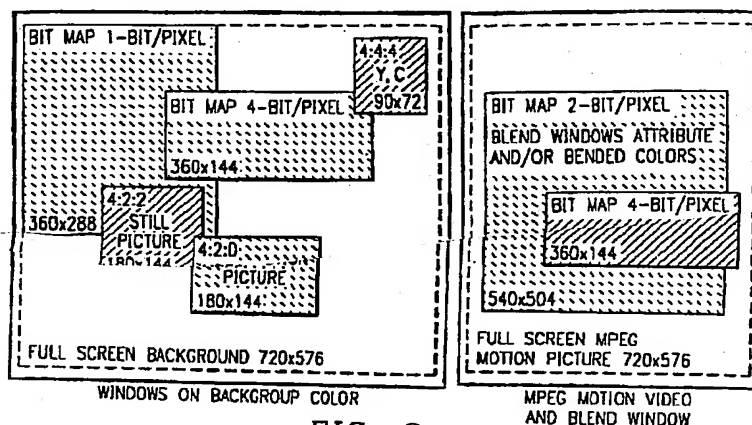


FIG. 3

Description

FIELD OF THE INVENTION

This invention relates to an on-screen display system with variable resolution.

BACKGROUND OF THE INVENTION

Current OSD systems may employ multiple central processing units (CPUs) in order to successfully deal with and handle high speed digital bit streams, such as those associated with a digital television set-top box. Each such CPU requires at least its own working memory space. These systems are expensive and may require expensive high speed memories.

The OSD co-processor of the present invention provides for OSD systems that overcome these and other shortcomings of existing OSD systems.

SUMMARY OF THE INVENTION

The present invention provides an OSD co-processor that allows for an OSD system having simultaneous display on a display screen of combinations of bit-map, graphic, still video picture, motion video picture or background. A frame memory containing a page to be displayed is preferably located in an external memory, which is preferably SDRAM. The OSD co-processor includes a display controller, a FIFO, an attribute memory, a window controller, a decoder, and line and pixel counters; the co-processor may also include an address calculator. A display controller reads the frame memory block by block and transfers the data to a FIFO. For each pixel, the decoder reads the bits required to display the current pixel from the FIFO; the number of bits per pixel may vary during the display depending upon the mode. A pixel selector and its controller select the bits of data from the FIFO to form the current pixel.

BRIEF DESCRIPTION OF THE DRAWINGS

The present invention will now be further described, by way of example, with reference to the example with reference to the accompanying drawings in which:

Figure 1 depicts a high level architectural diagram of an audio/video decoding system employing an OSD co-processor of the present for displaying an OSD picture;

Figure 2 depicts display modes of an OSD co-processor of the present invention and their associated memory requirements;

Figure 3 depicts two representative OSD pictures generated by an OSD co-processor of the present invention;

Figure 4 depicts how a CPU builds windows in a portion of its memory and the windows are used to build a frame in a frame memory which is displayed by an OSD co-processor of the present invention on a screen display;

Figure 5 depicts a high level architectural block diagram of an OSD co-processor of the present invention and selected interconnections;

Figure 6 depicts two windows having different color schemes that illustrate how an OSD co-processor of the present invention displays two overlapped windows;

Figure 7 depicts how a portion of the windows of Figure 6 are stored in a frame memory;

Figure 8 depicts in more detail selected portions of the blocks of Figure 5;

Figure 9 depicts a portion of a window controller of the present invention;

Figure 10 depicts portions of a memory cell and memory logic of a window controller of the present invention;

Figures 11-13 depict the generation, assembly and display of portions of windows depicted in Figures 6 and 7;

Figure 14a depicts representative window transition timings, such as those for Figures 6 and 7; and

Figure 14b depicts representative pixel selection and multiplexer timings for Figure 13.

DETAILED DESCRIPTION

The present invention provides an OSD co-processor for an OSD system. Figure 1 depicts one such OSD system.

Figure 1 shows the global flow for decoding and displaying an OSD picture. The PSO buffer contains the coded picture, for example: Teletext data to be displayed within an OSD picture. The ARM CPU decodes (1) the Teletext data and builds (2) the OSD picture using a Bitblt hardware accelerator. The OSD controller reads (3) the OSD buffer and generates the OSD video that is mixed with MPEG video (4).

Different modes may be displayed simultaneously on the screen: A bit-map window with 2 colors, a still video picture, a 256 colors graphic window, a decimated motion video picture and a Logo in true color. The OSD co-processor minimizes the memory required to display service information. The OSD uses a new hardware windowing technique to mix different modes of display such as: bit map with variable resolution, graphics, still video picture and decimated motion video.

Figure 2 depicts the various modes of display supported by the OSD coprocessor of the present invention. More particularly, the OSD co-processor supports:

1) In a bit map the frame buffer contains the code of the color of each pixel to be displayed. The number of bits per pixel defines the number of the colors that can be displayed on screen. Two colors require 1-bit per pixel and 256 colors require 8-bits per pixel. This mode is used to display graphics and text. The code of the color addresses the Color Look Up Table (CLUT) that contains the three color components with 8-bits each.

2) Graphic plane, 4:4:4 mode, uses 8_bits per pixel for each color component R,G,B or Y,Cr,Cb. Each pixel requires 24-bits (16 million colors per pixel).

3) With the 4:2:2 mode the resolution of the chroma is divided horizontally by two. Each pixel has a luminance component Y and alternately a chrominance component Cr or Cb. This mode is used for video still or motion picture. Each pixel requires 16-bit.

With the 4:2:0 mode the resolution of the chroma is divided by two horizontally and vertically. Each pixel has a luminance component Y and a chrominance component Cr and Cb for 4 pixels. This mode is used by the MPEG video decoder to the size of the memory required to store a video motion picture. Each pixel requires 12-bit. The chroma interpolator generates the 4:2:2 output format.

Current techniques for OSD display:

Table 1 shows the number of bytes required to store a full screen picture 720 pixels x 576 lines in different display modes for an OSD system that does not allow mixing of several modes of display in real time on the same screen. When one part of the screen requires 256 colors, the full screen must be 256 colors even if a part of the screen requires only 2 colors.

Display mode	Number of bytes full screen
Bit map 1-bit per pixel	51840
Bit map 2-bit per pixel	103680
Bit map 4-bit per pixel	207360
Bit map 8-bit per pixel	414720
4:4:4 graphic plane	1244160
4:2:2 video mode	829440
4:2:0 video mode	622080

Table 1: Number of byte for full screen display

However, the OSD coprocessor of the present invention can display several modes described above simultane-

ously on the same screen. Each part of the screen with different display mode uses a windows fully programmable in size, in position and priority level. The windows can be overlapped without limitations. The characteristic of each window is defined by a set of attributes stored into a SRAM. Those attributes are used to calculate the memory address in real time during display and to control the hardware display system.

Windows on Background Color MPEG Motion Video and Blend Window

Window size		Number of bytes		Window size		Number of bytes
90 x 72	4:4:4	19 440		540 x 504	2-bit/pixel	68 040
360 x 288	1-bit/pixel	12 960		360 x 144	4-bit/pixel	25 920
360 x 144	4-bit/pixel	25920				
180 x 144	4:2:2	51840				
720 x 576	Background	0				
	Total	110160			Total	93 960
720 x 576	Full screen 4:4:4	1 244 160		720 x 576	Full screen 4-bit/pixel	207 360

Example of OSD Picture Memory Requirements for Pictures of Figure 3

Figure 3 shows typical OSD pictures. The left screen is composed of 5 OSD windows with different characteristics displayed on a full screen background color:

a bit-map window 360 pixels by 288 lines with two colors that requires 1-bit per pixel,
 a bit-map window 360 pixels by 144 lines with 16 colors that requires 4-bit per pixel,
 a graphic window 90 pixels by 72 lines with 16 million colors that requires 24-bit per pixel,
 a still video picture window 180 pixels by 144 lines in 4:2:2 format using 24-bit per pixel,
 an MPEG motion video window 180 pixels by 144 lines in 4:2:0 format. The window size and position is generated by the OSD system. The MPEG video decoder generates the content of the window by decimation of the full screen picture.

This OSD picture requires 110Kbytes memory. Without the OSD coprocessor the memory could be up to 1.24Meg bytes.

The right screen shows an other picture composed of 2 OSD windows displayed over full screen motion video:

a bit-map window 540 pixels by 504 lines with two colors that requires 1-bit per pixel. The background color is blended over motion video; and

a bit-map window 360 pixels by 144 lines with 16 colors that requires 4-bit per pixel.

The memory size is 93Kbytes with OSD coprocessor compare to 207Kbytes without OSD coprocessor.

Display flow:

In frame mode (figure 4) CPU and frame uses different memory area. The CPU build the windows separately into the CPU memory, each windows has its own display attributes i.e. display mode, resolution. The new display picture is created by the CPU by coping sequentially with each segment of the window 1 and 2 in such way that the OSD display controller reads the frame memory sequentially and display line by line from the left upper corner to the right lower corner. The display area that does not contain any OSD data, as background color or motion video are not described into the frame memory. For each transition of window, each line, the controller changes synchronously the attribute in order to display the window with the corresponding mode. The number of bits to display a pixel of the window 1 and 2 can be different.

The block diagram of the OSD coprocessor is shown figure 5:

Line counter: The pixel and line counter receives the pixel clock, generate X, Y that represent the pixel position on the screen and synchronization signals Hsyn and Vsync to control the screen display.

Windows Controller: contains the positions X and Y of each windows to be displayed on the screen. The controller compares X, Y position, and indicates to the display controller each window transition and window number.

5 Address Calculator: Not used in frame mode.

Display controller: For each new window transition the display controller read the new attribute from the attribute memory. It generates an address for the display memory and load the Fifo with a new block of data. It generate the attribute for the current window to the Decoder.

10 Decoder: For each pixel the decoder extracts from the Fifo the number of bits corresponding to the current pixel to be displayed. It transform data bit in pixel.

Windows attributes:

15 Display modes: empty window for decimated video. Bitmap, YCrCb 4:4:4 graphics component, YCrCb 4:2:2 CCIR 601 component and background color.

Supports blending of bitmap, YCrCb 4:4:4, or YCrCb 4:2:2 with motion video and with an empty window

Supports window mode and color mode blending

Provides a programmable 256 entries Color Look Up table

Outputs motion video for mixture with OSD in a programmable 422 or 444 digital component format

20 Provides motion video or mixture with OSD to the on-chip NTSC/PAL encoder

Each hardware window has the following attributes:

window position: any even pixel horizontal position on screen; windows with decimated video have to start from an even numbered video line also

window size: from 2 to 720 pixel wide (even values only) and 1 to 576 lines

25 window base address

data format: bitmap, YCrCb 4:4:4, YCrCb 4:2:2, and empty

bitmap resolution: 1, 2, 4, and 8 bits per pixel

full or half resolution for bitmap and YCrCb 4:4:4 windows

bitmap color palette base address

30 blend enable flag

4 or 16 levels of blending

transparency enable flag for YCrCb 4:4:4 and YCrCb 4:2:2

output channel control

35 Example of OSD display with 2 windows:

The figure 6 shows an example of display of two overlapped windows. The window 2 on back is a bit map with 16 colors per pixel. Each pixel require 4-bits into the frame memory to define the code of the color. The window 1 on top is a bit map with 2 colors per pixel. Each pixel require 1-bits into the frame memory to define the code of the color. The position and dimension of the windows 1 is given by the attributes X₁₀, X₁₁, Y₁₀, Y₁₁. Horizontally the number of pixel is: X₁₁ - X₁₀. Vertically the number of lines is: Y₁₁ - Y₁₀. Same for window 2 with X₂₀, X₂₁, Y₂₀ and Y₂₁.

45 The display controller access sequentially the display memory (figure 7) from the first word containing the pixel X₂₀, X₂₁ to the last word containing the pixel X₁₁, Y₁₁. Details of the line 20 is shown figure 7. The line begin with pixels of the window 2, window 1 start in X₁₀, Pa is the last pixel of window 2 with 4-bit per pixel, Pb is the first pixel of window 1 and use 1-bit per pixel. Window 1 end on Pc and window 1 restart in Pd until pixel position X₂₁.

The same word contain pixels of window 1 and 2. During display the window controller detect the transition between Pa and Pb and control the data processing algorithm after Fifo access.

50 Pixel selector and multiplex:

The pixel selector and multiplex is the input of the decoder block shown figure 5. It receive the outputs of the Fifo and the windows attributes and control signals from the display controller. The basic function is to transform data stored into the frame memory in pixel. In case of bit map display (figure 8) the output, Pixel_Mux[7:0] is the address of the CLUT (Color Look Up Table). For graphic or still video picture the output is one color component. Pixel_Mux[7:0] output is produced by bits coming from the Fifo and bits from attribute memory.

Pixel selector:

Receive 32-bit data from the Fifo outputs F[31:0]. The first stage select one of the five bytes F[31:24], F[23:16], F[15:8], F[7:0] and F[6:0] delayed by one clock sample. The second stage is a half barrel shifter that allows to shift right a 15-bit input data by 0 to 7 position. The output of the barrel shifter position the LSB of the code of the pixel to be displayed in Bs[0]. The pixel counter provide the control signals for the multiplexor and barrel shifter. Table 2a shows the effect of the control Mux_S[1:0] on the bytes selection and 2b the output of the barrel shifter in function of Bs_S[2:0]. The table 2c combine the table 2a and 2b and shows the bits of the Fifo selected at the output of the barrel shifter in function of the 5_bit pixel counter.

Multiplexor:

Receive data Bs[7:0] from the barrel shifter and Base[7:0] from the attribute register. It is controlled by 4 control bits coming from the attribute register, Cursor and default signals from display controller as shown table 2d.

Mux 5:1 x 8			Barrel Shifter 15 to 8		Pixel Multiplier outputs		
Control Mux_S[1:0]	Byte Mux Bm[14:8]	Outputs Bm[7:0]	Control Bs_S[2:0]	Bs[7:0] Outputs	Default Cursor	Bit per Pixel Bp[3:0]	Mux output Pm[7:0]
0 0	F[16:0]	F[31:24]	0 0 0	Bm[7:0]	1 0	X X X X	Def[7:0]
0 1	F[30:24]	F[23:16]	0 0 1	Bm[8:1]	X 1	X X X X	Cur[7:0]
1 0	F[22:16]	F[15:8]	0 1 0	Bm[9:2]	0 0	0 0 0 0	Base[7:0]
1 1	F[14:8]	F[7:0]	0 1 1	Bm[10:3]	0 0	0 0 0 1	Base[7:1] & Bs[0]
			1 0 0	Bm[11:4]	0 0	0 0 1 1	Base[7:2] & Bs[1:0]
			1 0 1	Bm[12:5]	0 0	0 1 1 1	Base[7:4] & Bs[3:0]
			1 1 0	Bm[13:6]	0 0	1 1 1 1	Bs[7:0]
			1 1 1	Bm[14:7]			

Table 2a, 2b and 2d: Pixel selector and multiplex control

Mux_S[1:0]				
0 0				
0 1				
1 0				
1 1				
Bs_S[2:0]	Bs[7:0] =	Bs[7:0] =	Bs[7:0] =	Bs[7:0] =
1 1 1	F[16:0] & F[31]	F[30:23]	F[22:15]	F[14:7]
1 1 0	F[15:0] & F[31:30]	F[29:22]	F[21:14]	F[13:6]
1 0 1	F[14:0] & F[31:29]	F[28:21]	F[20:13]	F[12:5]
1 0 0	F[13:0] & F[31:28]	F[27:20]	F[19:12]	F[11:4]
0 1 1	F[12:0] & F[31:27]	F[26:19]	F[18:11]	F[10:3]
0 1 0	F[11:0] & F[31:26]	F[25:18]	F[17:10]	F[9:2]
0 0 1	F[10:0] & F[31:25]	F[24:17]	F[16:9]	F[8:1]
0 0 0	F[31:24]	F[23:16]	F[15:8]	F[7:0]

Table 2c: Pixel selector control tables.

Default: When active Pm[7:0] is equal to the 8-bit default color provided by the general control register of the display controller. No data is read from the Fifo.

Cursor: When active Pm[7:0] is equal to the 8-bit cursor color provided by the general control register of the display controller. No data is read from the Fifo.

Bp[3:0]=0000: The current window is empty and contain 0_bit per pixel or color component. Pm[7:0] is equal to Base[7:0] stored into the attribute register. In bit-map mode the Base[7:0] select one of the 256 colors of the CLUT as

a background color.

Bp[3:0]=0001: The current window contain 1_bit per pixel or color component. Pm[7:0] is equal to Base[7:1] concatenated with Bs[0] from the barrel shifter. In bit-map mode the Base[7:1] is the base address of a set of 2_colors of the 256 colors CLUT.

5 Bp[3:0]=0011: The current window contain 2_bit per pixel or color component. Pm[7:0] is equal to Base[7:2] concatenated with Bs[1:0] from the barrel shifter. In bit-map mode the Base[7:2] is the base address of a set of 4_colors of the 256 colors CLUT.

10 Bp[3:0]=0111: The current window contain 4_bit per pixel or color component. Pm[7:0] is equal to Base[7:4] concatenated with Bs[3:0] from the barrel shifter. In bit-map mode the Base[7:4] is the base address of a set of 16_colors of the 256 colors CLUT.

Bp[3:0]=1111: The current window contain 8_bit per pixel or color component. Pm[7:0] is equal to Bs[7:0] from the barrel shifter. In bit-map mode the 256 colors CLUT are used.

Pixel counter:

15 Provide the control for the pixel selector Mux_S[1:0] concatenated with Bs_S[2:0]. Each beginning of frame the pixel counter is reset. It is decremented by 0, 1, 2, 4 or 8 depending of the current window attribute. Address clock signal is generated when the counter cross zero.

20 Memory address generator:

It generate the read address for the Fifo. Each address clock signal generated by the pixel counter a new 32-bit word F[31:0] is sent to the pixel selector.

25 Attribute memory and register:

The attribute memory contain the attributes of the windows to be displayed during the current frame. The attributes that control the pixel selector and multiplex are:

Display mode: bit-map, graphic, still video or empty.

30 Number of bit per pixel or color component: 0, 1, 2, 4 or 8 bits.

The bit-map CLUT base address.

The attribute register contain the attribute of the current window. The attribute clock transfers the content of attribute memory to the register when the window change.

35 Window controller:

The window controller is composed of a content addressable memory CAM, flip flop and priority encoder. The CAM contain the attributes of position and size of the windows to be displayed on the current frame. The figure 9 shows a 32 words CAM. Each window require 4 words that indicate horizontally the coordinates of the first and last pixel and vertically the coordinates of the first and last line. A 32_words CAM support 8 windows.

40 The CAM compare the value of the pixel and line counters respectively X and Y. When Y counter match a value Yn0, a new window start vertically, the corresponding RS flip-flop is set Wn_Y=1. When Y counter match a value Yn1, the corresponding window end vertically, RS flip-flop Wn_Y is reset. The process is the same horizontally. Wn_Y and Wn_X are combined to indicate that the X, Y counter is into an active window. The indices "n" indicate the window number. Several windows can be overlapped, the priority encoder indicate the display order on the screen. The indices "n=0" correspond to the cursor that must be always on top. Outputs of priority encoder are hit and OSD_W, Hit generates the attribute clock and OSD_W the memory attribute address corresponding to the active window.

50 The details of the CAM cell is shown figure 10. The cell contain 2 parts, a 6 Transistors RAM cell and a 4 transistors comparator. The CPU load the content of the CAM with the attributes of position of the windows, memory mode is selected. During the display the associative mode is selected. The line counter Y and pixel counter X are compared to the content of all Yn and Xn of the CAM. When X or Y is equal to one or several values the corresponding Match lines are active to set or reset a flip-flop.

Example of pixel generation:

55 The figures 11, 12 and 13 correspond to the generation of the display and frame memory represented figures 6 and 7.

Figure 11, the pixel Px of the window 1 is selected into the 32_bit word "m". The pixel counter is decrement by one

each access. Pixel selector put Px at the output Bs[0]. The current window attribute select 1_bit per pixel. The pixel multiplex selects Base[7:1] and concatenate with Px to form the output Pixel_Mux[7:0]. In bit-map mode Pixel_Mux[7:0] select 2 colors of the CLUT. Base[7:1] is the base address of the CLUT.

Figure 12 shows the generation of a pixel Px for the window 2 that use 4_bits per pixel in bit-map mode. Pixel selector put Px at the output Bs[3:0]. The pixel multiplex selects Base[7:4] and concatenate with Bs[3:0] to form the output Pixel_Mux[7:0] that select one of the 16 colors of the CLUT. Base[7:4] is the base address of the CLUT. 16 CLUT of 16 colors can be selected with the window attributes.

Figure 13 shows a specific case of the window 2 where Pn+1 has its 2 msb bits into the word m+1 and 2 lsb into m+2. Word m+2 is currently selected at the output of the fifo and the 7 lsb bits of word m+1 are maintained into the 7_bit register F-1[6:0]. Pixel selector take F-1[1:0] concatenated with F[31:30] to generate Bs[3:0]. The corresponding timing is shown figure 14b. At Pn+1 pixel counter equal 30. The barrel shifter output generate F-1[5:0] concatenated with F[31:30]. The current fifo address is word m+2 and the Pixel_Mux output is Base[7:4] & F-1[1:0] & F[31:30]. Pixel Pn+2 the pixel counter is decrement by 4, the pixel selector select the next 4_bits of word m+2.

Window transition:

Figure 6 the window 1 is on top of window 2. The CAM of the window controller is loaded with window 1 attributes position on top of window 2. The window displayed on top has the lower indices. Pixel Pa is last pixel for this portion of window 2 into the frame memory, the next bits contain the code of color of window 1, the first bit is Pb. During the same line window 1 end in Pc and window 2 restart in Pd. Each of this window transitions are detected by the window controller that generate the attribute clock to change the current display attribute stored in a register (see timing figure 14a). For Pa-1 and Pa the Pixel counter is decrement by 4 each pixel and after attribute clock Bp[3:0]=1 (figure 8) decrement the counter by 1 each pixel.

Graphic and Still video modes:

In bit-map mode the frame memory contain the code of the color, 1,2,4 or 8 bits per color depending of the attributes. The code of the color concatenated with the CLUT color base attribute select a color from the CLUT. The CLUT contain 3 color components, one component for Luma and two components for Chroma.

When the current window is graphic, the CLUT is not used. Each pixel there is 3 access identical to the bit-map mode to extract the 3 colors components from the frame memory. There is 3 access during a pixel.

In still video picture the CLUT is not used. Still video reduce Chroma bandwidth. Each pixel there is 2 access identical to the bit-map mode to extract one Luma components and chroma component Cr or Cb alternately each pixel from the frame memory.

When the picture is empty the mode is bit-map with 0_bit per pixel. This mode is used to generate a window with a background color or a decimated motion video picture coming from the MPEG video decoder.

The pixel selector allows to mix by hardware different mode of display. The objective of this disclosure is to protect the pixel selector and multiplex hardware, its control, the window controller, window attribute generation and the flow of data from the frame memory to the Pixel_Mux output in the different display modes for different resolution.

The frame memory contain a description of the current displayed picture. The description is done sequentially starting from the first upper left corner of a window "n" to the last lower right corner of a window "m". Only the active windows need to be described, not the full screen, background color or motion video.

The description is done pixel per pixel, the number of bit to describe one pixel can vary for each window.

Each transition of window is indicated by the attributes of position stored into the CAM. The window controller select the attribute of the corresponding window in real time during display.

The pixel selector select the number of bits corresponding to the current pixel to be displayed.

The complementary bits to form the 8_bit pixel output are obtained by concatenation of selected data bits from the frame and window attribute from the attribute memory.

When the current window is bit-map Pixel_Mux output select a color of the CLUT. The CLUT contain the 3 colors component.

When the current window is graphic, the CLUT is not used. Each pixel there is 3 access identical to the bit-map mode to extract the 3 colors components from the frame memory.

In still video picture the CLUT is not used. Each pixel there is 2 access identical to the bit-map mode to extract the 2 colors components from the frame memory. Luma is extracted each pixel and chroma component Cr and Cb alternately each pixel.

When the picture is empty the mode is bit-map with 0_bit per pixel. This mode is used to generate a window with a background color or a decimated motion video picture coming from the MPEG video decoder.

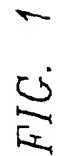
Claims

1. An on-screen display co-processor, comprising:

5 a FIFO;
a decoder coupled to said FIFO;
a display controller coupled to said FIFO and decoder;
a window controller coupled to said display controller;
line and pixel counters coupled to said windows controller; and
10 an attribute memory coupled to said display controller.

2. A window controller, comprising:

15 a content addressable memory for storing data corresponding to window position and size and for comparing
pixel and line counter data with such data,
at least one flip-flop coupled to said memory for indicating whether a window is active or not active, and
a priority encoder coupled to said flip-flop for selecting the display order of any active windows.



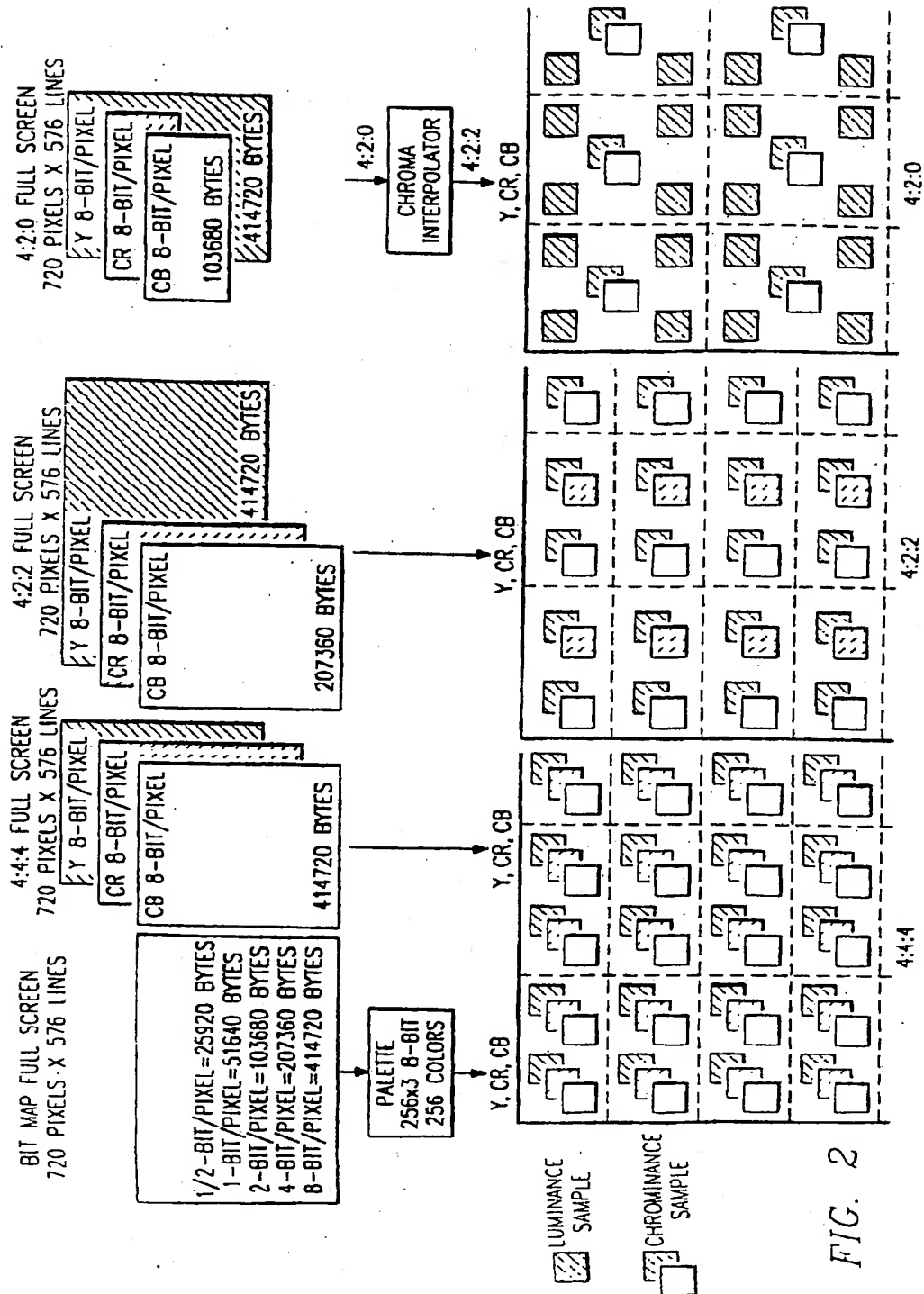


FIG. 2

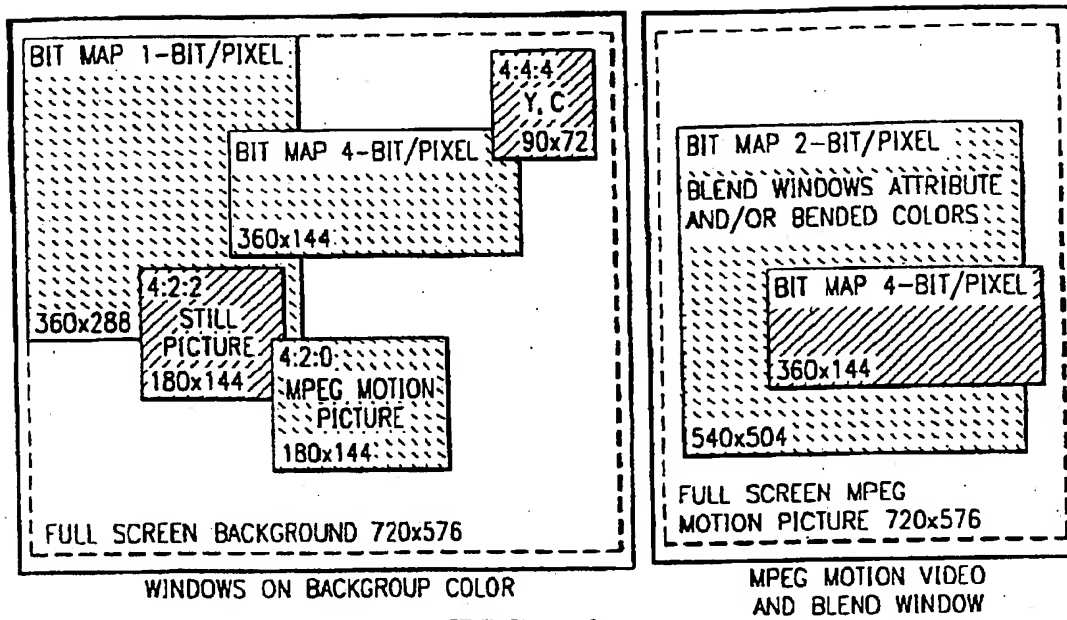


FIG. 3

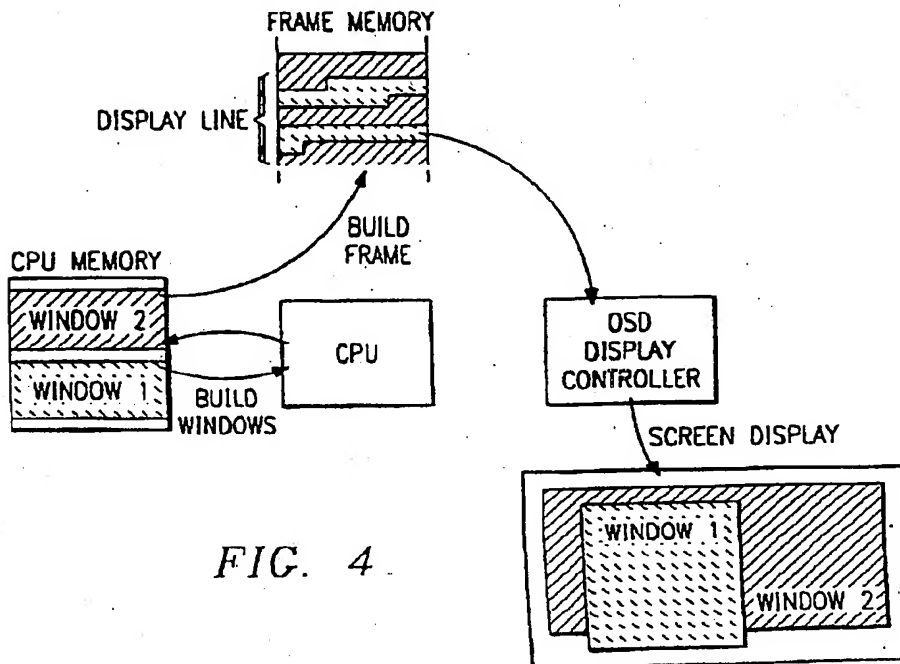


FIG. 4

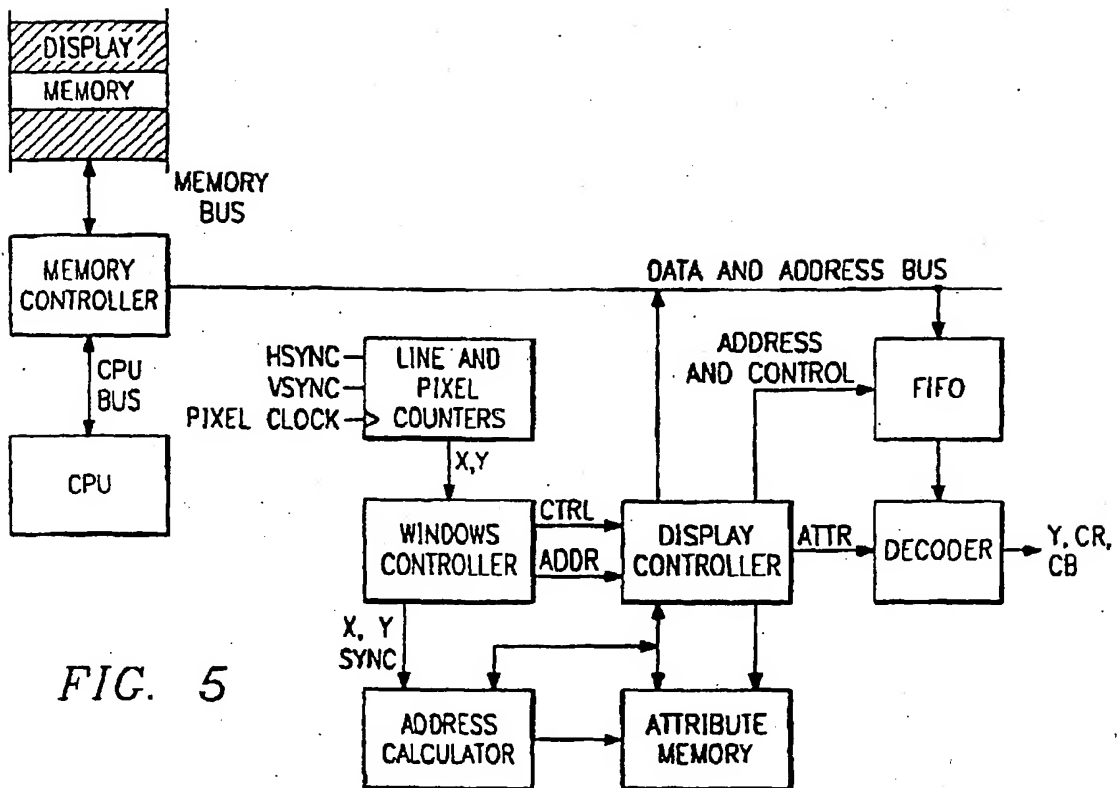


FIG. 5

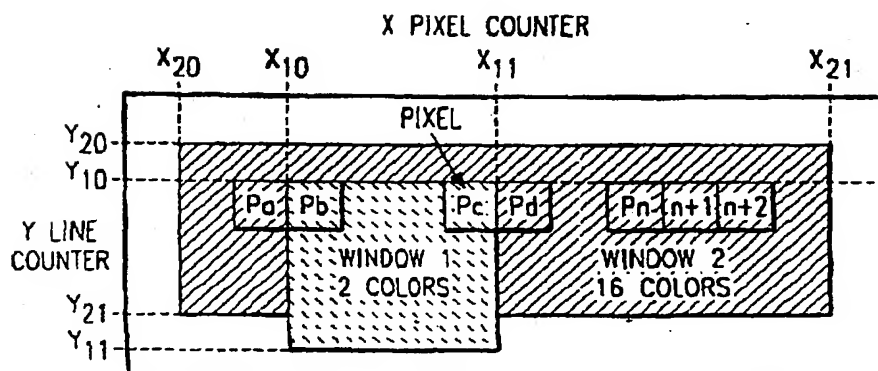
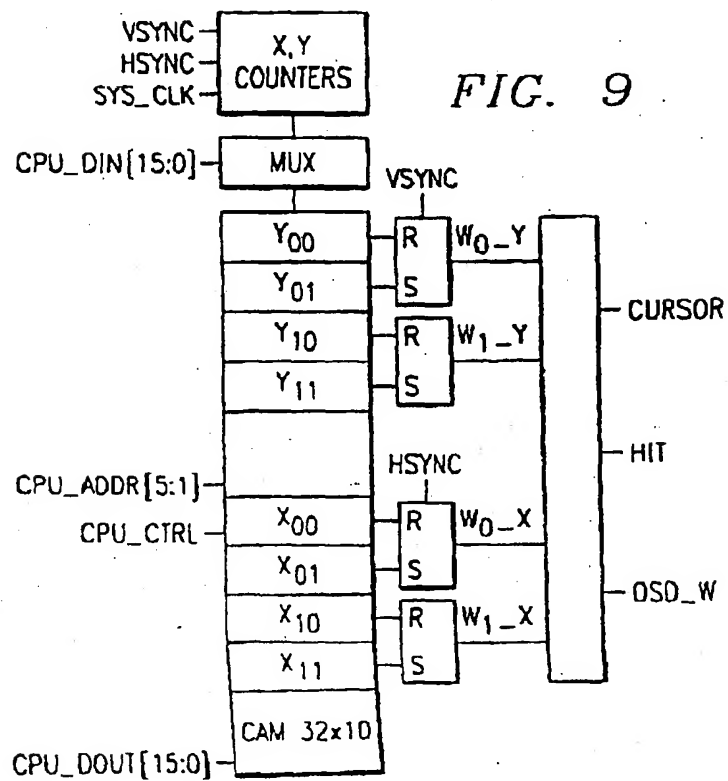
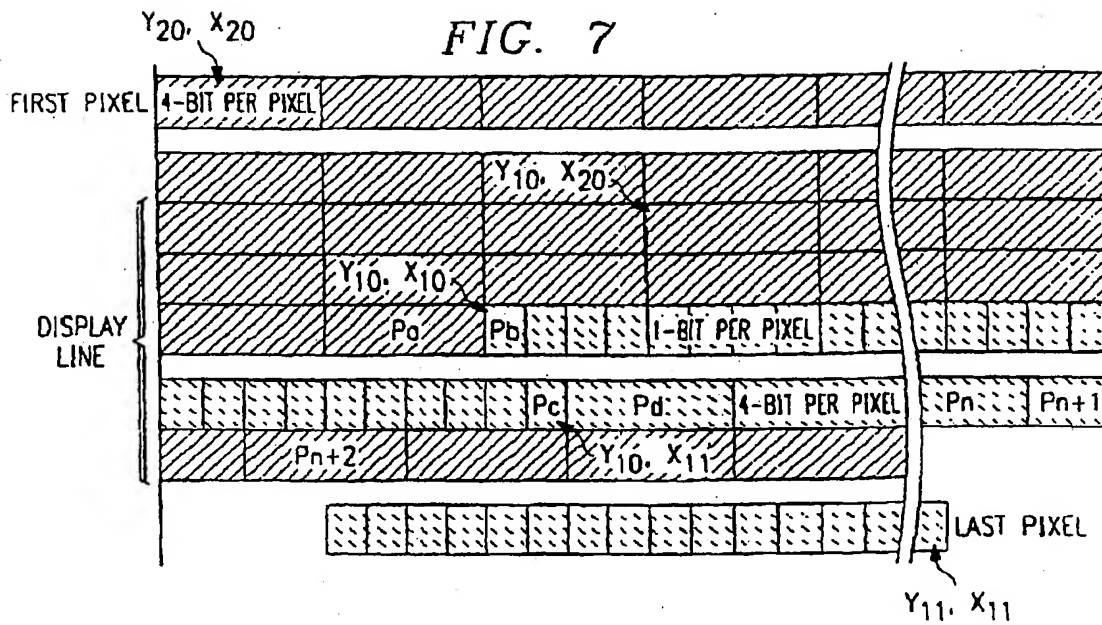
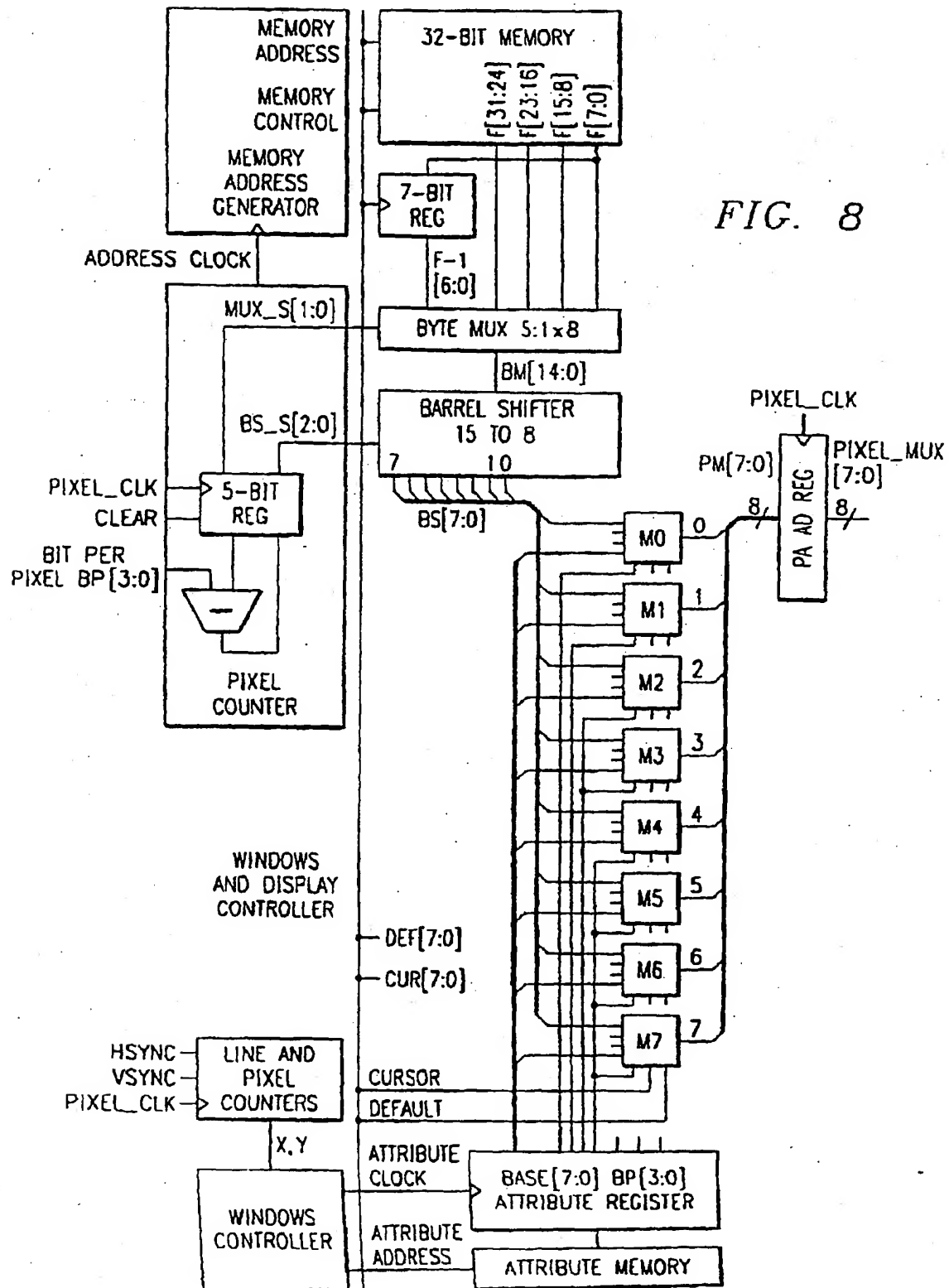
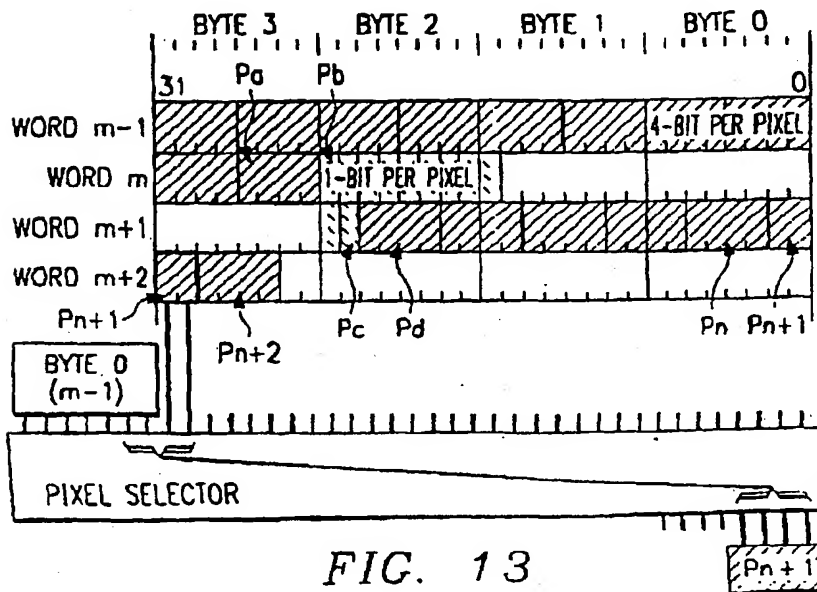
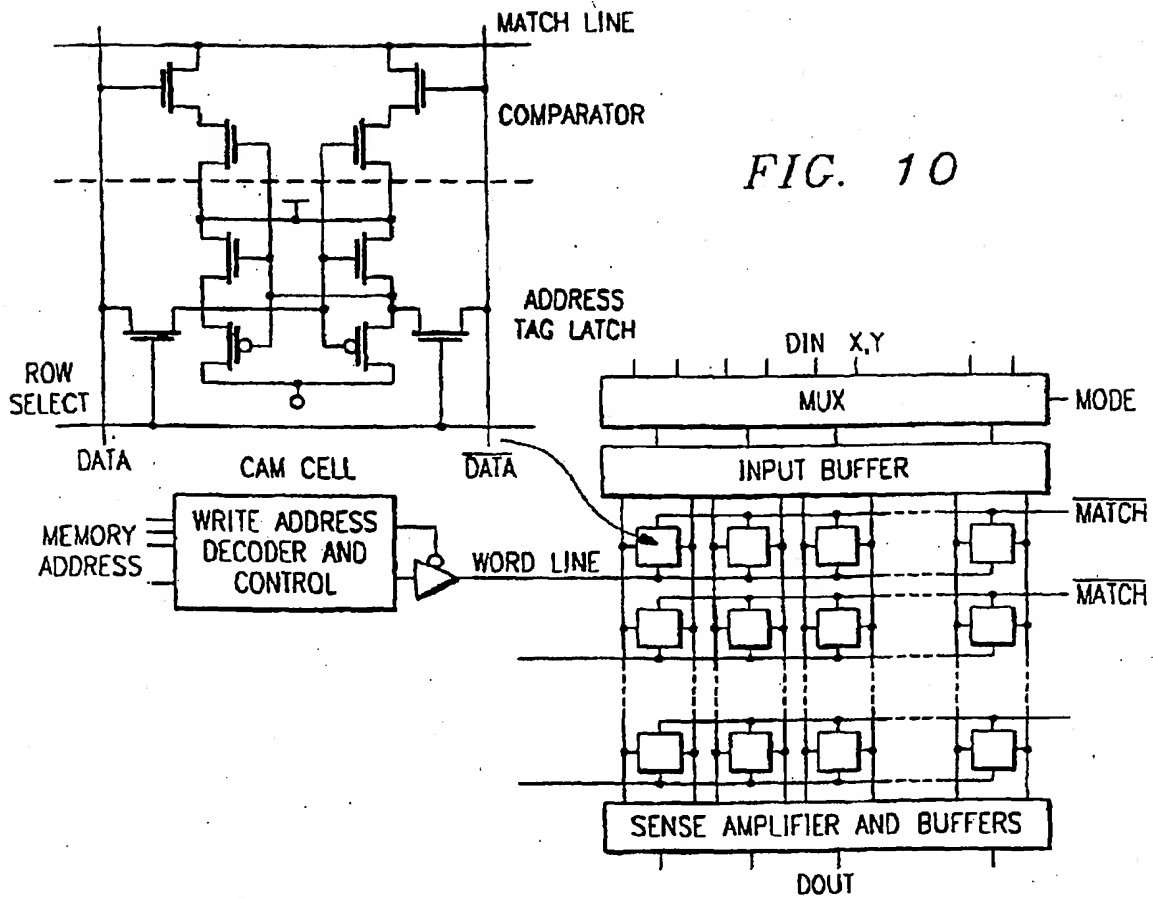
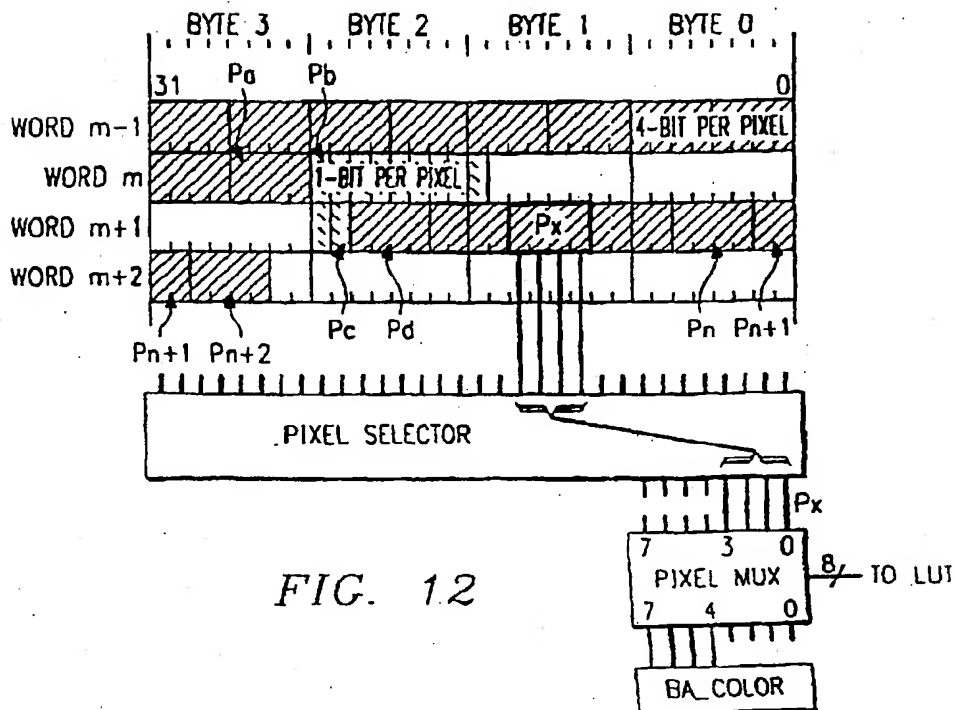
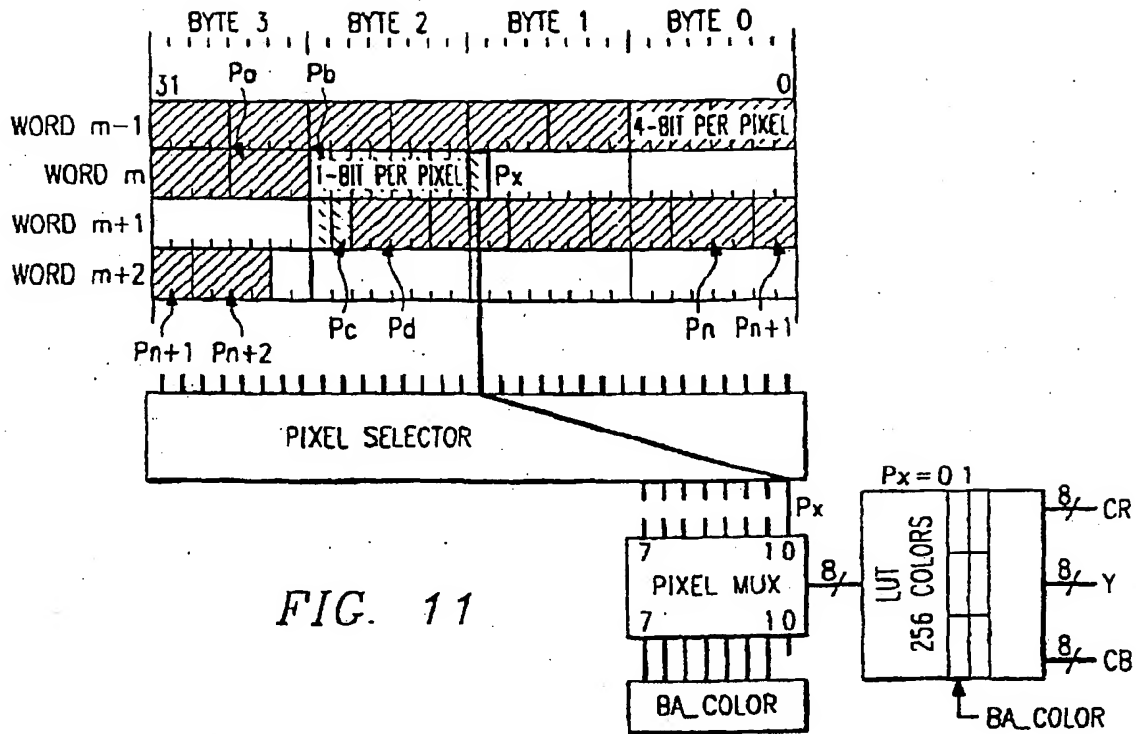


FIG. 6









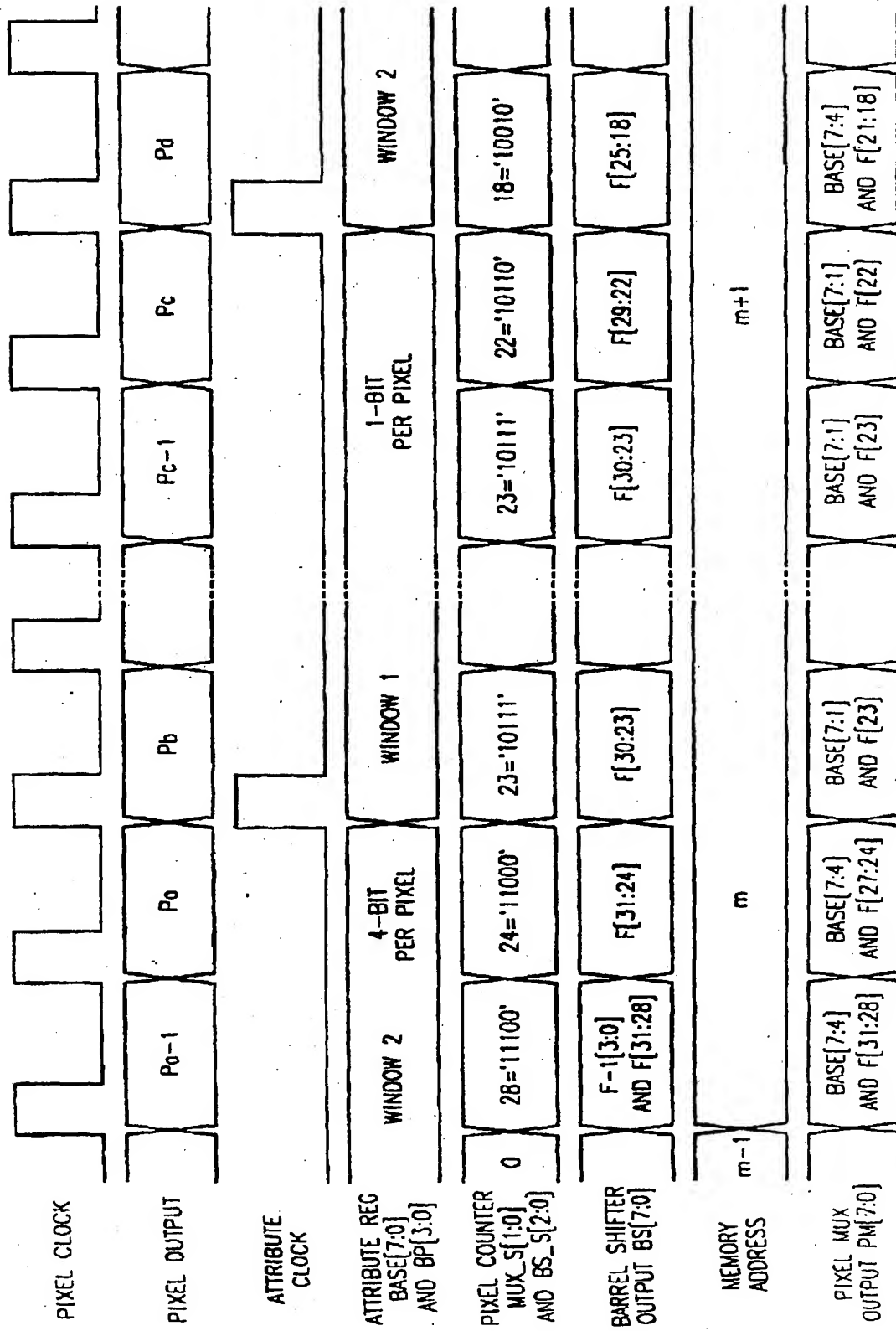


FIG. 14a

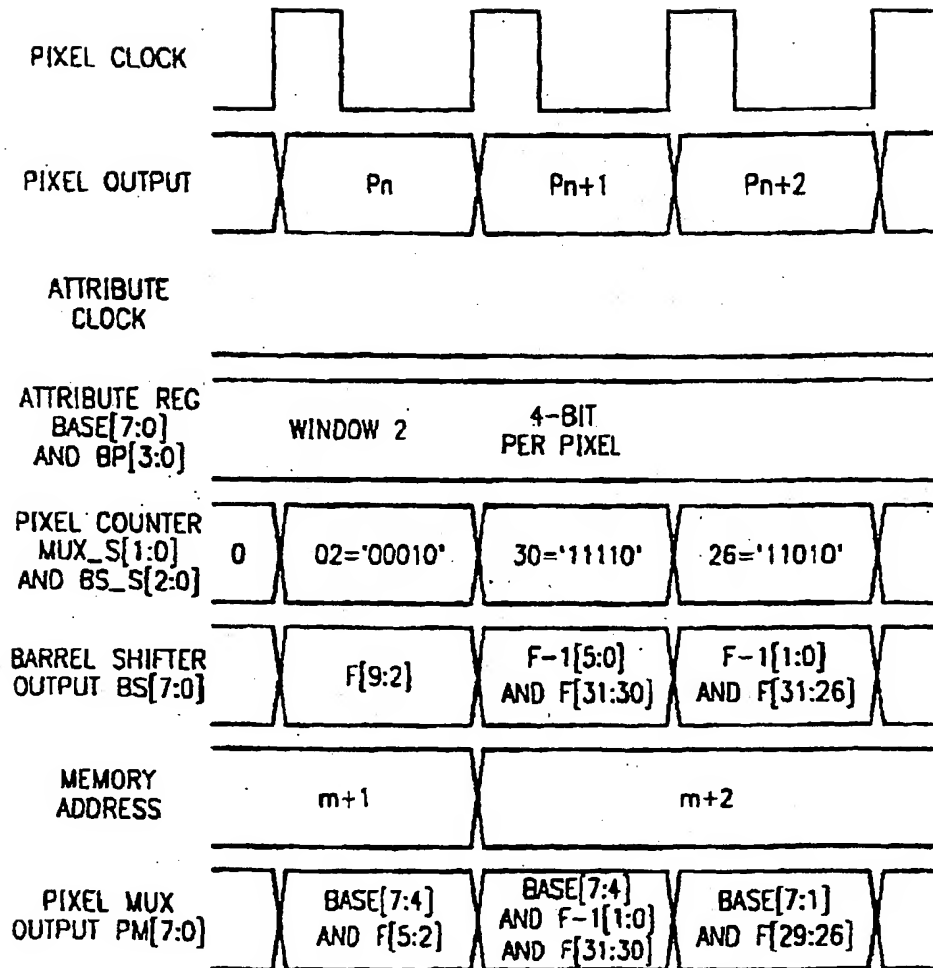
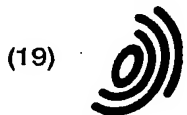


FIG. 14b



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11) EP 0 840 276 A3

(12) EUROPEAN PATENT APPLICATION

(88) Date of publication A3:
23.06.1999 Bulletin 1999/25

(51) Int. Cl.⁶: G09G 5/14

(43) Date of publication A2:
06.05.1998 Bulletin 1998/19

(21) Application number: 97119122.6

(22) Date of filing: 03.11.1997

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE

(30) Priority: 01.11.1996 US 30107 P

(71) Applicant:
TEXAS INSTRUMENTS INCORPORATED
Dallas, Texas 75243 (US)

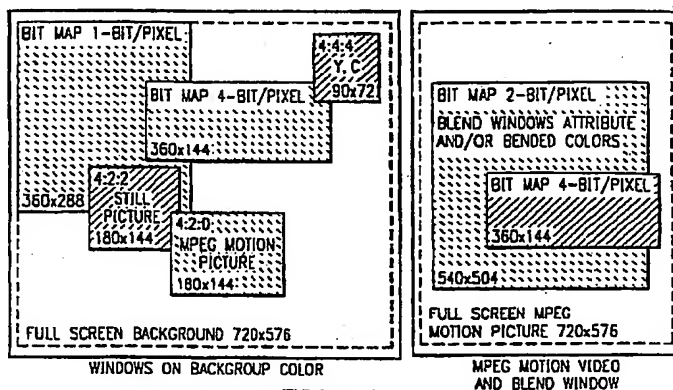
(72) Inventors:
• Chauvel, Gerard
300 Ch de la Suquette, 06600 Antibes (FR)
• Benbassat, Gerard
06570 St-Paul-de-Vence (FR)
• Chae, Brian
Plano, TX 75075 (US)

(74) Representative: Holt, Michael
Texas Instruments Limited,
P.O. Box 5069
Northampton NN4 7ZE (GB)

(54) Window processing in an on screen display system

(57) A system is described that allows simultaneous display on a display screen of bit-map, graphic, still video picture, motion video picture or background. A frame memory containing the page to be displayed is located in an the SDRAM. A display controller reads the frame memory block by block and transfers the data to a Fifo. For each pixel, the OSD decoder reads the bits

required to display the current pixel from the FIFO. The number of bits per pixel varies during the display depending upon the mode. The pixel selector and its controller select the bits of data from the FIFO to form the current pixel.





European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 97 11 9122

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
X	WO 91 18353 A (CHIPS & TECH INC) 28 November 1991 * page 2, line 19 - line 21 * * page 3, line 14 - line 20 * * page 7, line 1 - line 8 * * page 8, line 3 - line 13 * * claims 2,5 * * figures 1,2 *	1	G09G5/14
A	EP 0 276 884 A (RADIOTECHNIQUE COMPELEC ;PHILIPS NV (NL)) 3 August 1988 * page 3, line 22 - page 4, line 37 * * page 5, line 53 - page 6, line 11 * * figures 1,2 *	1	
A	EP 0 280 582 A (CAPLIN CYBERNETICS) 31 August 1988 * page 6, line 12 - page 7, line 38 * * figures 4-6 *	1	
A	EP 0 384 419 A (IBM) 29 August 1990 * page 9, line 41 - line 51 * * page 10, line 4 - line 11 * * figures 4,5 *	1	TECHNICAL FIELDS SEARCHED (Int.Cl.6) G09G
A	EP 0 724 249 A (IBM) 31 July 1996 * page 2, line 49 - line 56 * * page 3, line 39 - line 52 *	1	
A	EP 0 601 647 A (PHILIPS ELECTRONICS NV) 15 June 1994 * column 7, line 11 - line 29 * * column 8, line 5 - line 52 * * claims 1,2 * * figure 2 *	1	
-/--			
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 20 April 1999	Examiner Farricella, L
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document	

EPO FORM 1503 03/82 (P04/C01)

European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 97 11 9122

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
P,A	US 5 604 514 A (HANCOCK STEVEN M) 18 February 1997 * column 3, line 26 - column 5, line 5 * * figure 1 *	1	
A	-& JP 07 210134 A ----	1	
P,A	WO 97 16788 A (SIERRA SEMICONDUCTOR CORP) 9 May 1997 * abstract *	1	
X	EP 0 615 223 A (AT&T CORP.) 14 September 1994 * column 1, line 30 - line 45 * * column 5, line 48 - column 6, line 43 * * figures 1,2 *	2	
A	WO 86 05910 A (BRITHISH TELECOMMUNICATIONS PLC) 9 October 1986 * page 1, line 3 - line 15 * * page 2, line 19 - page 3, line 7 * * page 4, line 34 - page 7, line 4 * * figures 1,3 *	2	
The present search report has been drawn up for all claims			TECHNICAL FIELDS SEARCHED (Int.Cl.6)
Place of search THE HAGUE		Date of completion of the search 20 April 1999	Examiner Farricella, L
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document			

EPO FORM 1503 03/82 (P04C01)



European Patent
Office

Application Number
EP 97 11 9122

CLAIMS INCURRING FEES

The present European patent application comprised at the time of filing more than ten claims.

- ☐ Only part of the claims have been paid within the prescribed time limit. The present European search report has been drawn up for the first ten claims and for those claims for which claims fees have been paid, namely claim(s):
- ☐ No claims fees have been paid within the prescribed time limit. The present European search report has been drawn up for the first ten claims.

LACK OF UNITY OF INVENTION

The Search Division considers that the present European patent application does not comply with the requirements of unity of invention, and relates to several inventions or groups of inventions, namely:

see sheet B

- ☒ All further search fees have been paid within the fixed time limit. The present European search report has been drawn up for all claims.
- ☐ As all searchable claims could be searched without effort justifying an additional fee, the Search Division did not invite payment of any additional fee.
- ☐ Only part of the further search fees have been paid within the fixed time limit. The present European search report has been drawn up for those parts of the European patent application which relate to the inventions in respect of which search fees have been paid, namely claims:
- ☐ None of the further search fees have been paid within the fixed time limit. The present European search report has been drawn up for those parts of the European patent application which relate to the invention first mentioned in the claims, namely claims:



European Patent
Office

**LACK OF UNITY OF INVENTION
SHEET B**

Application Number
EP 97 11 9122

The Search Division considers that the present European patent application does not comply with the requirements of unity of invention and relates to several inventions or groups of inventions, namely:

1. Claim : 1

An on screen display comprising means to allow display of data with different formats.

2. Claim : 2

A window controller comprising means to identify the active window and applying priority.

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 97 11 9122

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

20-04-1999

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9118353	A	28-11-1991	NONE	
EP 0276884	A	03-08-1988	FR 2610160 A	29-07-1988
			DE 3869974 A	21-05-1992
			JP 63193177 A	10-08-1988
			KR 9700824 B	20-01-1997
			US 4866524 A	12-09-1989
EP 0280582	A	31-08-1988	AT 125379 T	15-08-1995
			DE 3854165 D	24-08-1995
			GB 2202115 A, B	14-09-1988
			JP 1014678 A	18-01-1989
EP 0384419	A	29-08-1990	DE 69020753 D	17-08-1995
			DE 69020753 T	14-03-1996
			JP 1750556 C	08-04-1993
			JP 2250585 A	08-10-1990
			JP 4032593 B	29-05-1992
			US 5283561 A	01-02-1994
EP 0724249	A	31-07-1996	US 5703622 A	30-12-1997
			JP 8248932 A	27-09-1996
EP 0601647	A	15-06-1994	CN 1092923 A, B	28-09-1994
			DE 69309621 D	15-05-1997
			DE 69309621 T	30-10-1997
			JP 6303423 A	28-10-1994
			SG 44005 A	14-11-1997
			US 5448307 A	05-09-1995
US 5604514	A	18-02-1997	JP 7210134 A	11-08-1995
WO 9716788	A	09-05-1997	US 5808630 A	15-09-1998
EP 0615223	A	14-09-1994	CA 2109681 A, C	11-09-1994
			DE 69403515 D	10-07-1997
			DE 69403515 T	18-12-1997
			JP 6348246 A	22-12-1994
			US 5463728 A	31-10-1995
WO 8605910	A	09-10-1986	AT 61141 T	15-03-1991
			EP 0216886 A	08-04-1987
			JP 62502429 T	17-09-1987

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82